

デジタルアニーラ技術と応用の紹介

Introduction of Digital Annealer and Its Applications

下川 聡 宮澤 俊之 竹本 一矢 宮島 豊生 岩井 大介 田村 泰孝

Satoshi SHIMOKAWA Toshiyuki MIYAZAWA Kazuya TAKEMOTO

Tyoo MIYAJIMA Taisuke IWAI and Hirotaka TAMURA

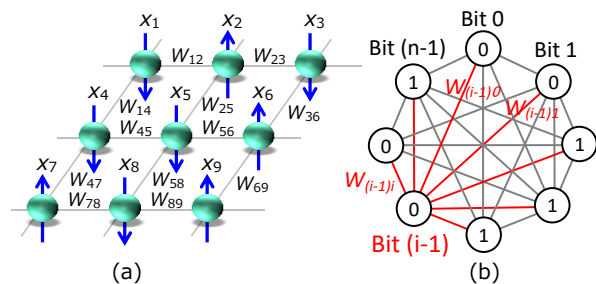
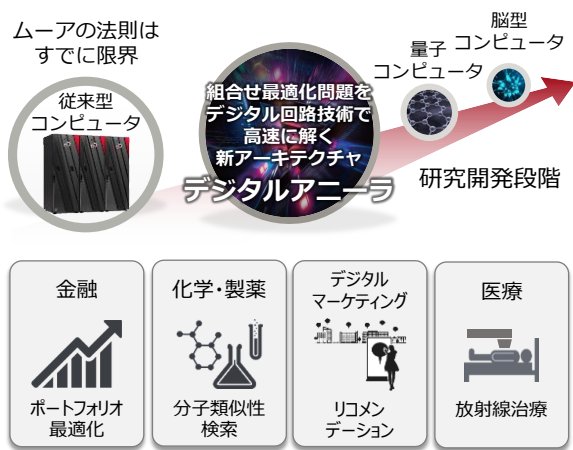
株式会社富士通研究所

概要

過去 50 年に渡りコンピュータや通信機器などの情報処理システムの性能向上を支えてきたのは半導体加工技術の発展に伴う集積回路のスケールアップであった。しかし、半導体の微細加工の困難さや消費電力の増加といった諸問題のため、スケールアップによる性能向上は、あと数年で実質的に頭打ちとなる。スケールアップに頼らずハードウェアの性能を上げる手段として、従来型プロセッサに対して専用化されたハードウェアを使うものが考えられている。

我々は「組合せ最適化問題」を高速に解く専用ハードウェアであるデジタルアニーラ (DA) を開発した。組合せ最適化問題は、問題規模の増加に伴って解候補が爆発的に増加するため、従来型プロセッサによる単純な数え上げ法では取扱いが困難となる。このような組合せ最適化問題を高速に解くアーキテクチャとしてアニーリング方式の量子コンピュータが知られているが、現在の量子コンピュータは安定性および適用可能な問題の種類が限定されるという課題がある。この課題を解決するため、量子コンピュータ動作から着想を得た新アーキテクチャを半導体回路技術によって実現した。DA はデジタル回路の特徴を活かしたビット間全結合や多階調パラメータ表現によって、既存の組合せ最適化問題向けハードウェアと比較して高い実用性を有している。

本セッションでは DA の基本的な仕組みや特徴について概説し、実問題に対する適用例を紹介する。



イジング型評価関数

$$E(X) = - \sum_{\{i,j\}} W_{ij} x_i x_j - \sum_i b_i x_i$$

$W_{ij}(=W_{ji})$ weight between bit i and bit j

b_i bias of bit i ($=0, 1$)

x_i binary state of bit i

図1 ハードウェアの進展と組合せ最適化問題 図2 (a)イジングモデルと(b)ビット間全結合の模式図

Abstract

Recently, we are facing the limits of computer performance improvement based on silicon process technologies. In order to overcome this problem, hardware specialization is a promising way that most experts agree. By focusing on “combinatorial optimization problems”, we have developed Digital Annealer (DA) based on the semiconductor circuit technology. In this session, we will explain the basic specifications of DA and introduce some application examples.