

# CMOS デバイスと RF 基本回路

## CMOS Device and RF basic building blocks

松澤 昭

Akira Matsuzawa

東京工業大学

大学院理工学研究科 電子物理工学専攻

〒152-8550 東京都目黒区大岡山 2-12-1 S3-27

Department of Physical Electronics, Tokyo Institute of Technology

S3-27, 2-12-1, O-okayama, Meguroku, Tokyo, 152-8552, Japan

E-mail: [matsu@ssc.pe.titech.ac.jp](mailto:matsu@ssc.pe.titech.ac.jp)

**Abstract:** CMOS technology has been expected as a hopeful candidate that can realize low cost RF system LSIs, because it can integrate RF/analog circuits with large scale digital circuits on a same chip. It however has stayed in a research level of university for a long time. Recently, it is going to be a product that is used for a short-range RF network; Bluetooth. This tutorial paper reviews and discusses basic characteristics and issues for RF application of CMOS technology, progresses of the low noise amplifier and the voltage controlled oscillator, as the examples of this technology, and the future prospect.

### 1. まえがき

CMOS 技術はプロセッサやロジック、メモリなどに用いられている半導体産業の主流技術であるが、RF 回路にはバイポーラ技術や、GaAs などの化合物半導体技術が用いられ、CMOS 技術が用いられることはなかった。しかしながら微細化の進展により CMOS デバイスの遮断周波数  $f_T$  はバイポーラに匹敵するものになっており、欧米の大学を中心として RF 応用が試みられてきた<sup>1),2)</sup>。ただし、実製品は最近開発されたばかりである。本稿では CMOS 技術の RF 応用の基礎とその課題、現状と将来動向について述べる。

### 2. CMOS の RF 応用の現状

長い間、欧米の大学での研究レベルであった CMOS の RF 応用であったが、ようやく製品化を目的とした LSI の発表が見られるように

なった<sup>3)~8)</sup>。表 1 は最近発表された近距離無線通信規格である、Bluetooth 用 LSI をまとめたものである。

表 1 Bluetooth chip の性能一覧

	プロセス	復調	電源電圧 (V)	動作電流 (mA; 受信時)	動作電流 (mA; 送信時)	文献
1.	0.35 $\mu$ m CMOS	2MHz IF	3.0	66	47	3)
2.	0.35 $\mu$ m CMOS	2MHz IQ	3.0	46	47	4)
3.	0.25 $\mu$ m CMOS	1MHz IQ	2.5	41	52	5)
4.	0.25 $\mu$ m CMOS	Direct	2.7	60	56	6)
5.	0.5 $\mu$ m BiCMOS	VCO	3	44	34	7)
6.	0.5 $\mu$ m SiGe-BiCMOS	VCO	1.6-3	16	12	8)

Bluetooth は 2.4GHz の無線 LAN で、10~100m の近距離通信において 1Mbps のデータ伝送速度を実現するものである<sup>9)</sup>。受信感度は -70dBm であり、現在の日本の携帯電話の規格である PDC の -100dBm に比べて相当緩いものとなっている。最小送信電力も 0dBm と PDC の 29dB に比べてかなり小さいものである。

しかしながら Bluetooth は携帯電話やパソコン、プリンターなどの多くの機器に搭載されるためローコストが強く要求される。CMOS はデジタル回路との混載が容易で、同一デザインルールの BiCMOS よりも安価という利点がある反面、性能が出しにくいという課題があった。Bluetooth は要求性能が携帯電話に比べ緩いため、多くの機関が CMOS を用いて Bluetooth 用 LSI を開発している。したがって CMOS の RF への応用の実製品はこの Bluetooth から始まるものと思われる。

このようによく実用化が始まった CMOS の RF への応用であるが、SiGe-BiCMOS 技術に比べて消費電力が大きいという大きな課題があり、性能面でも他の技術を凌駕するほどのものではなく、今後大きく飛躍するかどうかは今後の技術開発および応用開発にかかっている。

### 3 . CMOS の基本高周波特性

CMOS の基本高周波特性について簡単に述べる。図 1 に RF 応用を図る場合に重要な寄生効果を含めた MOS トランジスタを模式的に示す。

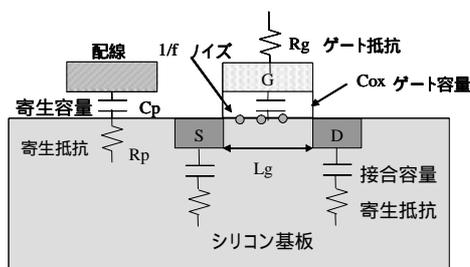


図1 CMOSのRF応用のポイント

#### 3.1 微細化と遮断周波数および動作電圧

MOS トランジスタの微細化は基本的にゲート長  $L_g$  と酸化膜厚  $T_{ox}$  を同時に縮小するものである。MOS トランジスタの遮断周波数  $f_T$  の最大値  $f_{T\_peak}$  は  $v_{sat}$  をキャリアの飽和速度として、

$$f_{T\_peak} = \frac{v_{sat}}{2\pi L_g} \quad (1)$$

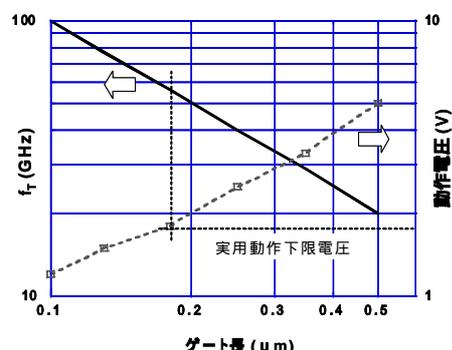


図2 ゲート長と  $f_T$  および動作電圧

と表される。従ってゲート長  $L_g$  に対する遮断周波数  $f_T$  は図 2 に示したように、微細化に伴って上昇し、 $0.1 \mu m$  では  $100 GHz$  に達する。

このことが微細化の進展著しい CMOS の RF 応用の可能性を大きく広げることになった。現状の量産レベルは  $0.18 \mu m$  から  $0.13 \mu m$  であるので、 $f_T$  の最大値は  $55 GHz$  から  $77 GHz$  に達し、SiGe バイポーラ並みになっている。しかしながら課題は動作電圧である。図 2 にはゲート長と動作電圧の関係をも示している。ゲート長の縮小とともに動作電圧も減少する。回路の最小動作電圧は回路形式と要求性能に依存するので一概には断定できないが、一般に  $1.8 V$  程度が限界と言われている<sup>10)</sup>。したがって実際に使用できるチャンネル長は  $0.18 \mu m$  前後と思われる。このことから CMOS の  $f_T$  の実用上の最大値は  $55 GHz$  程度ではないかと考えられる。同一遮断周波数に対する動作電圧は材料のバンドギャップに比例すると言われており、シリコンに比べバンドギャップが広い化合物半導体より動作電圧が低いのはいたしかたないが、同一材料である SiGe バイポーラデバイスと比べても約  $1/2$  である。これは CMOS の酸化膜の信頼性によるものと考えられ、この動作電圧の低さが CMOS の大きな課題となっている。

#### 3.2 gm/Ids と歪

MOS の大きな課題はバイポーラと比べ同一

動作電流に対してトランスコンダクタンス、 $gm$ が低いことである。バイポーラの $gm/I$ は、動作電流を $I$ 、温度電圧を $U_T (=kT/q)$ として、

$$\frac{gm}{I} = \frac{1}{U_T} \quad (2)$$

と表される。これに対し、MOSの $gm/I$ は、 $V_{eff}$ を有効ゲート電圧、 $\mu$ をモビリティ、 $C_{ox}$ をゲート容量、 $n$ をサブスレッショルド領域の特性に係わる係数(通常1~1.5程度)、 $W$ をゲート幅として、

$$\frac{gm}{I} = \frac{2}{V_{eff}} = \sqrt{\frac{2\mu C_{ox} W}{nI L_g}} \quad (3)$$

と表される。したがって同一電流に対する $gm$ を上げるには $W/L_g$ を上げれば良いが、この比率を上げるとMOSトランジスタはサブスレッショルド領域に入り、バイポーラと同様の電圧電流式になり、

$$\frac{gm}{I_{ds}} = \frac{1}{nU_T} \quad (4)$$

が最大値となる<sup>11)</sup>。従ってMOSの $gm$ は同一電流のバイポーラの $gm$ の $1/n$ が限界であり、必ずバイポーラよりも低い値を取る。図3に $0.4\mu\text{m}$  NMOSの $V_{eff}$ に対する $gm$ のシミュレーション値を示す。 $V_{eff}$ が小さくなると $gm/I_{ds}$ は増加するが、 $25\text{ S/A}$ で飽和する。 $gm$ を上げるには $V_{eff}$ が小さくなるように $W/L_g$ を大きくすれば良いが、そうすると歪が増加する。図3の右軸には3次歪の目安である、VIP3の計算値を示す<sup>12), 13)</sup>。VIP3は、

$$VIP3 \equiv \sqrt{24 \frac{gm}{gm_3}} \quad (5)$$

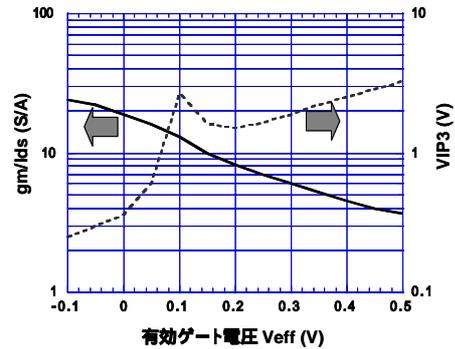


図3 有効ゲート電圧と $gm/I_{ds}$ , VIP3

で定義される。ここで $gm_3$ は3次のトランスコンダクタンスである。歪を少なくするためにはVIP3をできるだけ高くする必要がある。 $V_{eff}$ が小さいと歪が大きくなるためある程度の $V_{eff}$ が必要であり、通常 $0.2\text{V}$ 程度の値にすることが多い。したがって、(2)式および(3)式より実用領域でのMOSの $gm$ は同一動作電流のバイポーラのその $1/4$ 程度の低い値を取る。このことが表1に示すようにMOSがバイポーラに比べて消費電流が大きい要因になっている。

### 3.3 ミスマッチ電圧と $1/f$ ノイズ

CMOSをアナログ回路に用いる場合はバイポーラに比べて大きいミスマッチ電圧と $1/f$ ノイズが課題となる。前者はRF回路の場合、 $1/Q$ セパレーションの不完全さを引き起こし、後者はミキサーやVCOのノイズの増大を招く。

ミスマッチ電圧は長チャネルの場合は主として $V_T$ の揺らぎが原因であり、短チャネルの場合はショートチャネル効果が加わる。 $V_T$ の揺らぎは、

$$\Delta V_T \propto \frac{T_{ox}}{\sqrt{L_g W}} \quad (6)$$

で近似される<sup>14)</sup>。したがって微細化によるゲート酸化膜厚の縮小により同一ゲート面積当りの $V_T$ のばらつきが抑制されるものと期待される。 $0.7\mu\text{m}$ デバイスでゲート面積が1

$\mu\text{m}^2$  において Nch で 11mV, Pch で 18mV 程度だった  $V_T$  のばらつき<sup>15)</sup>が 0.13  $\mu\text{m}$  では Nch, Pch ともに 3mV 程度まで縮小されている<sup>16)</sup>。したがってプロセスの進歩により高精度化が図られているが、微細化すると使用するトランジスタのゲート面積も縮小されるためこの効果は相殺される。

1/f ノイズは図 1 に示したようにチャネル表面でのキャリアの散乱が原因といわれており、これもゲート面積に反比例する。入力換算 1/f ノイズは

$$V_{nf}^2 = \frac{S_{vf}}{L_g W} \frac{\Delta f}{f} \quad (7)$$

と近似され、これもゲート面積に反比例するので 1/f ノイズを減らすためにはゲート面積を増加させる必要があり高周波化の阻害要因になっている。係数  $S_{vf}$  はゲート酸化膜圧の 2 乗に比例し、微細化により減少している。0.35  $\mu\text{m}$  デバイスに対して 0.13  $\mu\text{m}$  デバイスでは  $V_{eff}$  が 0.1V において約 1/10 の  $5 \times 10^{-11}$  ( $\text{V}^2 \mu\text{m}^2/\text{Hz}$ ) になっており、微細化により改善が図られている<sup>17)</sup>。しかしながら微細化に伴い使用するトランジスタのゲート面積は減少することから効果が相殺される。

### 3.4 導電性基板の効果

化合物半導体の基板は半絶縁性であるのに対し CMOS の基板は導電性である。したがって化合物の場合は基板に流れ込む電流が僅かであり、基板での電力ロスは無視できるが、MOS はこの効果は無視できない。図 1 に示したようにトランジスタのソース・ドレイン領域での接合容量を通じて基板に流れ込む電流だけでなく配線・基板間の寄生容量  $C_p$  を通じて寄生基板抵抗  $R_p$  を流れる電流が電力ロスやノイズの発生を引き起こす<sup>13), 18)</sup>。この回路のコンダクタンス成分  $G_p$  は、を角周波数として、

$$G_p = \frac{1}{R_p} \frac{1}{1 + \frac{1}{(\omega R_p C_p)}} \quad (8)$$

と表され、 $\omega = \frac{1}{R_p C_p}$  のときに最大値、

$1/R_p$  を取る。  $G_p$  は数 GHz での周波数では半絶縁性基板ではほぼゼロになり、完全な金属基板でもゼロになる。しかしながら通常の CMOS に使用されている基板では無視できない値を取る。

したがって、CMOS の RF 応用においてはこれら各種課題の克服が必要である。次に重要な RF 回路である低雑音増幅器と電圧制御発振器を例に取り最近の進展を紹介する。

## 4 . 代表的 RF 回路の技術動向

### 4.1 低雑音増幅器

低雑音増幅器は受信回路のフロントエンドとして、低ノイズ特性が求められる。CMOS は当初 RF 応用にあたってノイズ特性が懸念されたが、ゲート分割やゲートのシリサイド化などによりゲート抵抗が下がり、単体の NF としては化合物半導体に匹敵する 5GHz で 0.1dB の極めて良好な NF が 0.13  $\mu\text{m}$  NMOS トランジスタで得られる<sup>19)</sup>。しかしながら、実際にパッケージに組み立て、ESD 保護を施すと 2dB を超えるまでに劣化するということが判明した<sup>19)</sup>

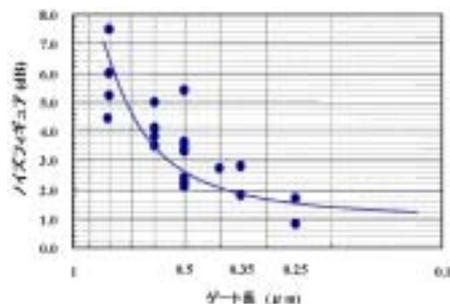


図 4 CMOS LNA (1-2GHz) の NF

。

ただし、今日では各種工夫によりパッケージ後も 1.2GHz で 0.8dB の NF が得られるまでに改善されている<sup>20)</sup>。図 4 に 1~2GHz における CMOS 低雑音増幅器の NF の推移を示す。

初期の CMOS 低雑音増幅器の NF はあまり良くなかったが、デバイスの微細化や回路技術の進展により NF の低減が図られている。図 5 に 0.25 μm の技術を用い、1.2GHz で 0.8dB の低い NF を 6mA の動作電流で実現した CMOS 低雑音増幅器の回路<sup>20)</sup>を示す。

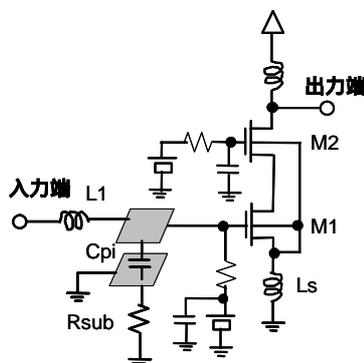


図5 CMOS LNA の一例

まず単独のトランジスタではなく、M1, M2 からなるカスコード回路を用いることにより利得を向上させ、歪を抑えている。M1 のソースにはインダクターが挿入されている。このようにすることでインピーダンスが高く、整合が困難であった MOS 回路を整合し易くしている<sup>21)</sup>。この回路の入カインピーダンス  $Z_{in}$  は入力パッド容量を無視できるとして、

$$Z_{in} = s(L_s + L_1) + \frac{1}{sC_{gs}} + \left( \frac{gm}{C_{gs}} \right) L_s \approx \omega_T L_s \quad (9)$$

と表される。ここで、 $\omega_T$  は M1 の遮断角周波数である。したがって共振周波数を入力周波数に取ればインダクタンス  $L_s$  の値を変化させることにより容易に信号源抵抗とのマッチングを取ることができる。

もうひとつの工夫は入力信号パッドと基板間にシールド層を設けて入力信号が基板を流れないようにしたことである。基板での電力ロスにより NF が劣化し、この対策とし

て入力パッド直下の抵抗を減らすことが NF の改善に有効であることは筆者らにより指摘されている<sup>13), 18), 22)</sup>が、この例ではシールド層を設けることによりほぼ完全にこの効果を防いでいる。CMOS 低雑音増幅器の NF は、

$$NF \approx 1 + \frac{\gamma}{\alpha} \left( \frac{\omega}{\omega_T} \right)^2 \left( gmR_{eq} + \frac{2}{\kappa} \right) + \frac{\alpha\delta}{\kappa gmR_{eq}} \quad (10)$$

と表される<sup>23, 24)</sup>。ここで、 $\gamma$ 、 $\alpha$ 、 $\delta$ 、 $\kappa$  はデバイスパラメータであり、 $R_{eq}$  はトランジスタの真性ゲートから見た等価的入力信号源抵抗で、ゲート抵抗や基板を流れる電流による効果を含んでいる。したがって、従来は遮断周波数を上げることが NF の減少に効果があったが、(11)式の第 3 項により遮断周波数だけでなく、 $gm$  を上げることが NF の改善に必要であり、この点で同一動作電流にてバイポーラに比べ  $gm$  の低い MOS は、より低い NF を得るためにより多くの電流を流す必要があり、消費電流が大きくなる傾向がある。この試作例においては ESD 保護が施されているが、基板ロスが最小に抑えられており、実用上十分な性能が得られている。

#### 4.2 電圧制御発振器

電圧制御発振器: VCO は RF の重要回路であり、高精度でノイズが少ないことが求められる。当初 MOS はノイズが大きく良好な VCO の実現が困難と思われていたが、回路

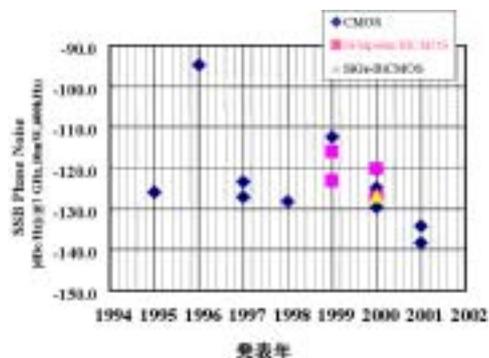


図6 CMOS VCO の位相雑音推移

の工夫などにより図6に示すようにバイポーラを上回る良好な位相ノイズ特性が得られている。

この大きな理由はバイポーラに比べて MOS の発振振幅が大きいことが挙げられる。

f 離れたときの位相ノイズ  $L(f)$  は、

$$L(\Delta f) \approx \frac{4kTR}{V_{rms}^2} \left( \frac{f_o}{2Q\Delta f} \right)^2 \quad (11)$$

で近似できる<sup>25)</sup>。ここで R は並列共振回路の抵抗、 $V_{rms}$  は信号振幅の実効値、Q は共振回路の Q ファクター、 $f_o$  は発振周波数である。したがって、発振器の位相ノイズを低減させるには共振回路の Q を上げることが有効であるが、同一の Q の場合は発振振幅の増大を図ることにより位相ノイズを下げるができる。MOS は  $g_m$  が低いたけ、 $g_m$  が一定値以上の値を取る入力電圧範囲がバイポーラよりも広く、大きな発振振幅を得ることができる。これが CMOS の発振器の特性が良好な大きな理由である。その他、いくつかの回路的な工夫がなされてきた。図7に CMOS VCO の代表的な回路を示す。当初は(a)に示す NMOS だけを用いていたが、(b)に示すように Pch トランジスタを用いたものも用いられるようになった<sup>26)</sup>。Pch を併せて用いることで同一電流にて  $g_m$  を 1.5 倍~2 倍程度に上げることが可能になる。またこの構成により共振回路に注入する電流の注入の上昇と下降において波形が対称、かつ短時間で進むことにより位相ノイズを低減できる<sup>26)</sup>。

(c)は電流源回路に LC フィルターを挿入するもので<sup>25)</sup>、電流源から発生する高周波ノイズを  $L_x$ ,  $C_x$  で形成されるローパスフィルタで減衰させるとともに、トランジスタペアのソースノードにおいては  $2f_o$  の周波数に対して高インピーダンスにすることができる。このようにして  $2f_o$  近傍のノイズ信号が発振周波数  $f_o$  に変換されることを防ぎ、位相ノイズを通常の回路に比べ約 10dB 減少させている。これにより  $0.35 \mu\text{m}$  CMOS を用い、発

振周波数 1.2GHz、動作電流 3.7mA で -140dBc/Hz (600KHz) の特性を得た。この値は外付けの発振モジュールと比べても、位相ノイズではほぼ同等、消費電流で約 1/2 の良好な特性となっている。

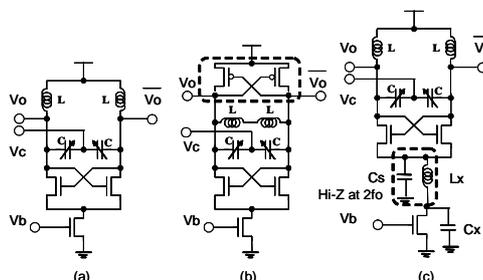


図7 CMOS VCO の回路例

CMOS の RF 応用においては Mixer やパワーアンプなどについても述べる必要があるが、紙面の都合により省略する。これらもワンチップ Bluetooth では全て搭載されていることから、実用レベルに達していると考えてよいものと思われる。大きな課題は SiGe-BiCMOS に比べて消費電力が大きいことである。MOS は原理的にバイポーラより  $g_m/I_{ds}$  が小さく、バイポーラと同様の  $g_m$  を得ようとすれば必然的に動作電流が大きくなってしまふ。したがって CMOS の RF 応用は高感度かつ低消費電力が必要な携帯電話用途にはあまり適しておらず、多少は消費電力が増大してもローコストやデジタル回路との混載を重視する用途に使用されるものと思われる<sup>27)</sup>。周波数は  $f_T$  の 1/10 を目安にすると 5GHz 程度までは実用になるものと思われるが、それ以上の周波数では基板での電力ロスやクロストークの劣化が大きくなる。更に  $0.13 \mu\text{m}$  以下の技術では  $f_T$  は上昇しても動作電圧が 1.5V 以下になるのでアナログ回路を構成すること自体が困難になってしまい、使用の可能性は低い。

また、低コストが CMOS の大きな特徴であるが、これは技術世代に依存する。CMOS でも 1 世代につき単位面積あたりのコストは約 30%程度上昇する。したがって 3 世代(例えば  $0.35 \mu\text{m}$  と  $0.13 \mu\text{m}$ ) を比較すると約 2 倍の値段となる。同一世代での CMOS に対して

SiGe-BiMOS のコストが30%高いとしても、次世代の CMOS と比較すればほぼ同等となる。したがって一概に CMOS が安いとも言えない。またアナログ・RF回路はインダクターや容量、抵抗などの受動素子を必要とするので面積縮小が困難である。したがって、デザインルール縮小による回路全体の面積縮小は困難となり、この部分の面積が大きいと高価な微細 CMOS に混載することはコスト上昇をもたらす。したがって0.13 $\mu$ m以降の CMOS の RF混載は、電源電圧の減少によりアナログ回路の実現が困難になることとあいまって限定的なものにならざるを得ないものと思われる。ただし、それより大きなデザインルールでは、たとえ SiGe-BiCMOS を用いるにしてもバイポーラよりも CMOS の方が性能が優れている回路もあり、バイポーラと CMOS が適材適所に用いられた混在型の回路が広く用いられていくものと思われる。

## 文献

- 1) A. Abidi, Proceedings of the IEEE, vol.83, No.4, p. 544 (1995)
- 2) P. R. Gray and R. G. Meyer: IEEE Custom Integrated Circuit Conference, p. 83 (1995)
- 3) A. Ajikuttira, et al: ISSCC Dig. Tech. Papers, p. 198 (2001).
- 4) H. Darabi, et al: ISSCC Dig. Tech. Papers, p. 200 (2001).
- 5) F. Op ' t Eynde, et al: ISSCC Dig. Tech. Papers, p. 196 (2001).
- 6) S. W. Lee, et al: Symp. VLSI Circuits, p. (2001).
- 7) H. Komurasaki, et al: ISSCC Dig. Tech. Papers, p. 206 (2001).
- 8) N. Filiol, et al: ISSCC Dig. Tech. Papers, p. 202 (2001).
- 9) <http://www.bluetooth.com/>
- 10) K.Bult: ISSCC Dig. Tech. Papers, p. 74 (1999).
- 11) C.C. Enz, F. Kruppenacher, and E. Vittoz: Analog Integrated Circuits and Signal Processing, No.8, p. 83 (1995)
- 12) R. van Langevelde, et al.: IEDM. Tech. Digest, p. 807 (2000).
- 13) 松澤 昭: 第3回システム LSI 琵琶湖ワークショップ, p. 1 (1999)
- 14) K. R. Lakshmikumar, R. A. Hadaway, and M. A. Copeland: IEEE, Journal of Solid State Circuits, vol.21, No.6, p. 1057 (1986).
- 15) J.Bastos, M.Steyaert, A. Pergoot, and W. Sansen: Analog Integrated Circuits and Signal Processing, No.12, p. 95 (1997)
- 16) UMC Technology Forum 2001. p. 49 (2001)
- 17) M.J. Knitel, P.H.Woerlee, A. J. Scholten, and A.T. A. Zeges: IEDM. Tech. Digest, P. 463 (2000).
- 18) 松澤 昭:半導体研究 第45巻、p. 127. (1999).
- 19) E. Morifuji, et al: SSDM, Extended Abstracts, p. 80 (1998)
- 20) P. Leroux, J. Janssens, and M. Steyaert: ISSCC Dig. Tech. Papers, p. 410 (2001).
- 21) Thomas H. Lee: "The Design of CMOS Radio-Frequency Integrated Circuits" (Cambridge University Press, 1998).
- 22) G. Hayashi, H. Kimura, H. Shimomura, and A. Matsuzawa: Symp. VLSI Circuits, p. 84 (1998).
- 23) J.Janssens, and H. Steyaert: Electronics Letters, vol.35, No.15, p. 1278 (1999).
- 24) M.Steyaert, B.D. Muer, J. Janssens, and M. Borremans: Extended Abstracts of International Symposium on Advanced Analog CMOS Circuits, p. 65 (2000)
- 25) E. Hegazi, H. Sjoland, and A. Abidi: ISSCC Dig. Tech. Papers, p. 364 (2001).
- 26) T. H. Lee and A. Hajimiri: IEEE Journal of Solid State Circuits, vol.35, No.3, p. 326 (2000).
- 27) ISSCC Evening Sessions: " 10 Years of RF-CMOS-But How Many Products Today? "

ISSCC Dig. Tech. Papers, p. 104 (2001).