

低雑音PLL シンセサイザの基礎

Basis of the Low Noise PLL Frequency Synthesizers

伊東健治

Kenji ITOH

三菱電機株式会社 モバイルターミナル製作所

Mobile Terminal Center, Mitsubishi Electric Corp.

8-1-1 Tsukaguchi-honmachi, Amagasaki, Hyogo, 661-8661, JAPAN

Tel : +81-6-6495-6596 Fax : +81-6-6495-6522, e-mail : itoh.kenji@ieee.org

あらまし ここでは初学者にむけ、低雑音 PLL シンセサイザの基礎について述べる。位相雑音の数式的な意味、システムからの低雑音化の要求、PLL の振る舞い、さらには低雑音 PLL シンセサイザの設計例を示している。

1. まえがき

PLL (Phase Locked Loop) [1] を利用した周波数シンセサイザは PLL シンセサイザ [1]-[4] と呼ばれている。そして、この PLL シンセサイザは、通信やレーダなどの高周波・マイクロ波機器の局部発振器や波源に適用されている。この PLL シンセサイザは、PLL を用いているという意味で、本質的には自動制御系であり、個々の部品の設計技術である「高周波・マイクロ波技術」と全く異なる設計理論を有する。

この PLL の原理は 1932 年に無線信号の同期用の制御手段として発明された [5]。その後、テレビジョン受信機の水平同期用の手段 [6] や人工衛星からの微弱な受信波のための狭帯域の受信手段 [7] として発展した。そして 1960 年代に至り、はじめて PLL のシンセサイザへの適用が報告されている [8]。その後、1970 年代での分周器や位相比較器を一体化したシンセサイザ用の IC の開発により、PLL シンセサイザは急速に普及した。以降、衛星通信や携帯電話を始めとする大半の無線機器に用いられている [9] - [11]。更に、半導体の微細化技術の進展とともに、従来、計測器に用いられていた小数分周方式の PLL シンセサイザ (以下、Fractional-PLL シンセサイザ) [3] [12] や電圧制御発振器 (以下、VCO) の IC 化 [13] が進められている。受信機のダイレクトコンバージョン化 [14] [15] とあわせ、このような高速・低雑音な PLL シンセサイザや電圧制御発振器の IC 化により、携帯電話用高周波回路の 1 チップ集積化が急速に進展している [16] [17]。

本報告では、この PLL シンセサイザについて、低雑音化技術を中心に基礎的な解説を行う。まず、2. において PLL シンセサイザの構成と開発課題について述べる。次に、3. において系統的にみたときの位相雑音への要求性能について述べる。さらに、4. において、PLL シンセサイザの基本特性について、2 次 PLL の伝達関数を中心に説明する。ここでは、PLL の伝達関数からみた場合、周波数切換え速度と位相雑音がトレードオフの関係にあることを述べる。最後に 5. において、PLL シンセサイザの低雑音化の手法について述べる。

2. PLL シンセサイザの構成と課題

図 1 に PLL シンセサイザの基本構成を示す。PLL シンセサイザは、VCO、分周器、位相比較器およびループ

フィルタとから構成される。ここでは、ループフィルタの例としてラグリード形フィルタを示している。VCO の出力 (周波数 f_{out}) を可変分周器で N 分周し (周波数 f_{out} / N)、これと温度制御水晶発振器 (TCXO) などの基準発振器出力 (位相比較周波数 f_{ref}) との位相を比較し、それぞれの周波数を一致させるよう ($f_{ref} = f_{out} / N$)、同期させる。従い、同期した状態では、

$$f_{out} = N \cdot f_{ref}, \quad f_{stp} = f_{ref} \quad (1)$$

となる。ここで、 f_{stp} は PLL シンセサイザのチャンネル間隔である。分周数 N を一つづつ切換えることにより、 f_{out} を f_{ref} のチャンネル間隔 f_{stp} で切換えることができる。

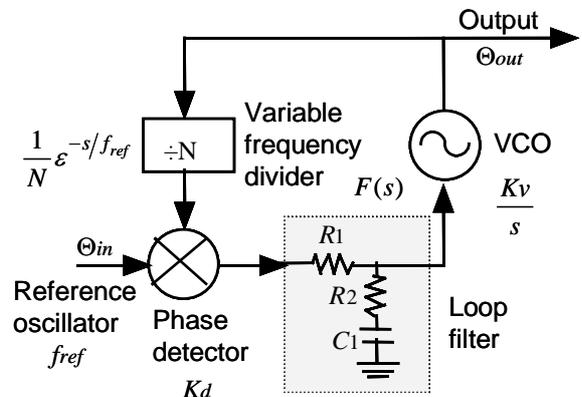


図1 PLLシンセサイザの基本構成(2次PLL)

この PLL シンセサイザは、小形の構成で多チャンネルを生成できる利点により、携帯電話や衛星通信を始めとする大半の無線機器の局部発振器として用いられている。式(1)から明らかのように、FDMA方式のアナログ携帯電話、TDMA方式のデジタル携帯電話、移動体衛星通信 [18] など狭 f_{stp} が必要な場合、低 f_{ref} となり、PLL の収束が低速になる。また位相比較器やループフィルタの雑音による位相雑音が高レベルとなる [19]。このように PLL シンセサイザにおいては、周波数切換え特性や位相雑音特性を劣化させることなく、狭い周波数間隔の PLL シンセサイザを実現することが課題である。特に GSM や PDC など TDMA 方式のデジタル通信である第 2

世代携帯電話に適用するために、この課題の解決に対し様々な取り組みがなされた。周波数切り換え時にのみループフィルタを広帯域とする方法[20]、周波数切り換え時にのみPLLの位相比較周波数を高める方法[21]、あらかじめVCOの周波数を希望周波数近傍に設定する方法[22][23]、デジタル演算により位相比較を行うことにより、高速引き込みが可能な1次PLLを実現する方法[24]などが提案された。

現在、携帯電話には、小数分周器により、 f_{stp} より f_{ref} を高めるFractional-PLLシンセサイザが実用化[25]されている。小数分周器は、動作時間により2つの整数分周器を切換え、時間的な平均で小数分周を実現するものである。このFractional-PLLシンセサイザでは、 f_{out} と f_{ref} の関係は次式で与えられる。

$$f_{out} = N \cdot f_{ref} / M, \quad f_{stp} = f_{ref} / M \quad (2)$$

ここでMは小数分周器のmodulo数である。Fractional-PLLシンセサイザでは、従来のPLLシンセサイザと比較し、 $1/M$ の f_{stp} となる。つまり f_{ref} を低周波とすることなく、Mを高めることにより細かな f_{stp} を実現できる。その結果、PLLの切換え速度や位相雑音を劣化させることなくより細かな f_{stp} を実現できる。一方、この方式では、2つの整数分周器を切換えるタイミングの周期性に起因するスプリアスレベルが高い。近年の半導体プロセス技術の微細化にともない、変調方式などの大規模なスプリアス抑制回路[26]の搭載が可能となっている[27]。その結果、このFractional-PLLシンセサイザは急速に普及している。その他、移動体衛星通信には、直接デジタルシンセサイザ(Direct Digital Synthesizer, 以下DDS)[28]をPLLの基準発振器として用い、Fractional-PLLシンセサイザと同様の効果をもたらすDDS駆動PLLシンセサイザ[29]も実用化されている[30]。

3. 位相雑音へのシステム要求

3.1 位相雑音の定式化

ここでは、波での位相雑音 ϕ_n を定式化し、通信やレーダにおよぼす影響について述べる。定式化には、狭帯域角度変調の前提条件すなわち、 $\phi_n = \sin \phi_n \sim 0$ を用いる。 ϕ_n を有する波 $v(t)$ は次式で与えられる。

$$v(t) = A_c \cdot \cos(\omega_c \cdot t + \phi_n) \quad (3)$$

ここで、 A_c と ω_c はそれぞれ搬送波の振幅と角周波数、 t は時間である。 $\phi_n = \sin \phi_n \sim 0$ の条件においては、

$$v(t) = A_c \cdot \cos(\omega_c \cdot t) - A_c \cdot \phi_n \cdot \sin(\omega_c \cdot t) \quad (4)$$

となる。ここで、次式のように ϕ_n を無数のランダムな離散スペクトラム(変調角周波数 ωm_i 、変調指数 β_i 、初期位相 α_i)の和であると近似すると、

$$\phi_n \sim \sum_i \beta_i \cdot \sin(\omega m_i \cdot t + \alpha_i) \quad (5)$$

式(4)は次式のように表される。

$$v(t) \sim A_c \cdot \cos(\omega_c \cdot t) + \sum_i [(A_c \cdot \beta_i / 2) \cdot \cos\{(\omega_c + \omega m_i)t + \alpha_i\} - (A_c \cdot \beta_i / 2) \cdot \cos\{(\omega_c - \omega m_i)t - \alpha_i\}] \quad (6)$$

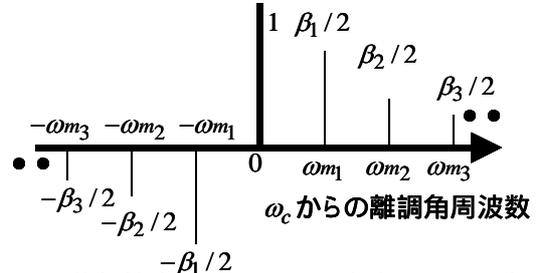


図2 位相雑音のスペクトラム(振幅を A_c で正規化)

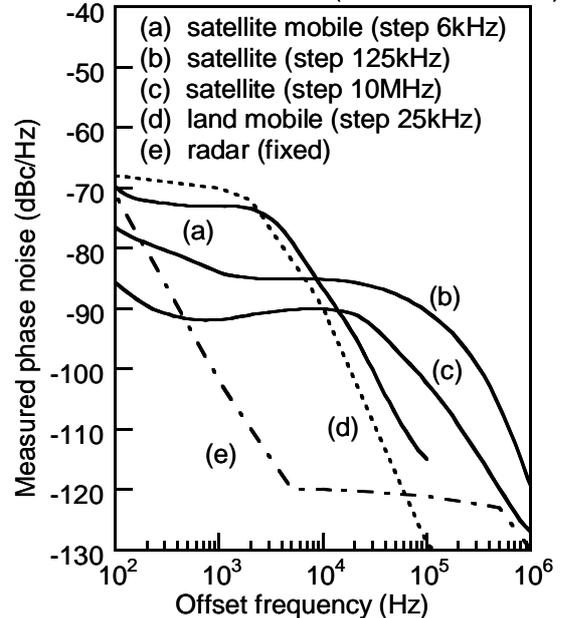


図3 無線通信やレーダに用いられる発振器の位相雑音の測定例

図2に式(6)で与えられる位相雑音のスペクトラムを示す。 ϕ_n を有する波 $v(t)$ は搬送波からの離調角周波数 $\pm \omega m_i$ に振幅 $\beta_i / 2$ のスペクトラムを有し、上側側波と下側側波では共役関係となる。筆者らは、このような位相雑音のモデル化の方法と、受信機への影響のシミュレーション例を文献[31]で述べている。以上より、 ϕ_n によるシステムへの影響は以下の通りとなる。

- (1) 式(3)より、波の位相情報に ϕ_n による誤差が生じることがわかる。波の周波数や位相から情報を取り出す通信やレーダの品質劣化要因となる。
 - (2) 式(6)より、波のスペクトラムが側波帯に広がることになる。そのため、隣接周波数との干渉が生じる。
- 図3に通信やレーダに用いられる発振器の位相雑音の測定例を示す。以下、図3で取り上げた各システムを例にとり説明を行う。

3.2 衛星通信の場合

衛星局と各地球局との間の距離が一定である。そのため、後述の携帯電話と比較して、隣接周波数との干渉

は低レベルである。低 CN 環境下での伝送品質を確保するために、伝送帯域内の位相雑音特性が重視される。従い、図3(a)(b)(c)に示すように、高速伝送となるほど、チャンネル間隔が広がり、広伝送帯域となる。その結果、搬送波近傍の雑音の抑制がより厳しくなる。図4に文献[32]を参考に求めた、同期検波時のキャリア再生ループでの残留位相雑音による符号誤り率の劣化の様子を示す。 10^{-6} の誤り率では-30dBc程度の伝送帯域内の位相雑音で0.2dB程度の劣化が生じる。-25dBc以上では急激に劣化する。遅延検波においては、前後の2シンボルの比較のみを行うため、位相雑音による劣化は同期検波より緩和される方向にある。

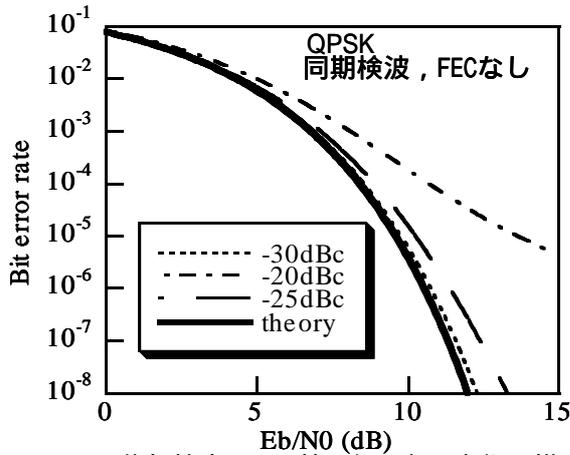
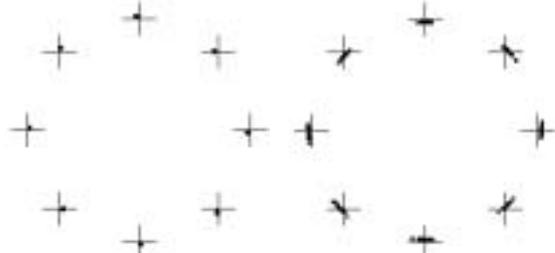


図4 位相雑音による符号誤り率の劣化の様子

Dots: measured symbol points of $\pi/4$ DQPSK



(a) VME=3.4%(低雑音LO) (b) VME=5.2%(高雑音LO)
図5 位相雑音によるベクトル変調精度の劣化の様子

3.3 携帯電話の場合

携帯電話では、個々の端末と基地局との間の伝搬損失のばらつきが大きく、隣接チャンネルとの干渉が大きい。そのため、図3(d)に示すように隣接周波数の位相雑音の抑制が主眼となる。デジタル移動体通信の規格[33]では、送信機の位相雑音は、非線形歪みとあわせて隣接チャンネル漏洩電力の規定で制限される。受信機の位相雑音は、受信フィルタの減衰特性とともに受信選択度の規定で制限される。さらに、伝送帯域内の位相雑音については、送信機のベクトル変調精度の規定で制限される。図5に位相雑音によるベクトル変調精度の劣化の例を示す。位相雑音により、シンボル点が円周方向に広がり、ベクトル変調精度が劣化している。符号誤り率で規定される伝送品質に関しては、実運用ではフェージン

グや遅延分散など、陸上伝播による劣化要因が主体であり、位相雑音による劣化は重要でない。

3.4 管制レーダの場合

管制レーダでは、遠方の航空機などレーダ断面積が小さい物体の距離や速度を計測する。そのため地面などからの反射波であるクラッタによる受信妨害が問題となる。通常、ドプラー効果により計測対象の方が、より周波数遷移が大きいことに着目し、FFTなどの演算処理により所望波のみを選択する。しかしながら、クラッタは所望波より遥かに高レベルであり、送受信機に位相雑音が存在すると、クラッタにより所望波が覆われ、感度が低下する[34]。そのため、図3(e)に示すようにフロアレベルが-120dBc/Hzの低雑音局部発振器を用いる。

4. PLL シンセサイザの基本動作

4.1 PLL の伝達関数[1]

ここでは、図1に示したラグリードフィルタを用いた2次PLLを取り上げ、基本動作の説明を行う。通常、スプリアス成分や位相雑音を抑制するために、ループフィルタの次数を高め、高次のPLLとする場合が多い。その場合であっても、2次PLLの動作を基本とし、そこからの特性の類推は可能である。

まず2次PLLの伝達関数について述べる。図1には、PLLを構成する各ブロックの伝達関数を示している。また、図中、分周器の遅延 $\exp(-s/f_{ref})$ も示している[35]。

PLLの閉ループ利得 $H(s)$ は次式で与えられる。

$$\Theta_{out} = H(s) \cdot \Theta_{in}, \quad H(s) = \frac{N \cdot G(s)}{1 + G(s)}, \quad s = j\omega, \quad (7)$$

$$G(s) = (K_v / s) \cdot F(s) \cdot K_d \cdot (1/N) \cdot \exp(-s/f_{ref}),$$

ここで、 Θ_{out} と Θ_{in} は、それぞれPLLの出力位相と入力基準位相、 $G(s)$ は開ループ利得、そして s はラプラス演算子である。図1(a)のループフィルタの伝達関数 $F(s)$ は次式で与えられる。

$$F(s) = \frac{1 + s\tau_2}{1 + s\tau_1}, \quad \tau_1 = C_1(R_1 + R_2), \quad \tau_2 = C_1 \cdot R_2. \quad (8)$$

ここでは、以下の近似により解析を進める。

$$K_v \cdot K_d \cdot \tau_2 / N \gg 1 \quad (9)$$

これは、理想演算増幅器を用い直流利得を無限大とした2次PLLの条件[1]である。また、ここでは、分周器の遅延の影響を無視できる条件、

$$|G(s)| \ll 1 \quad (s = j2\pi \cdot f_{ref}) \quad (10)$$

で解析を進める。遅延の影響については、4.2で述べる。式(10)の条件下で、式(8)を式(7)に代入すると、 $H(s)$ は次式で与えられる。

$$H(s) = N \cdot \frac{2\zeta \cdot \omega_n \cdot s + \omega_n^2}{s^2 + 2\zeta \cdot \omega_n \cdot s + \omega_n^2} \quad (11)$$

$$\omega_n = 2\pi \cdot f_n = \sqrt{\frac{K_v \cdot K_d}{\tau_1 \cdot N}}, \quad \zeta = \frac{\tau_2}{2} \omega_n \quad (12)$$

式(11)において、 f_n は固有周波数、 ζ は減衰率である。図6に2次PLLの閉ループ利得 $H(s)/N$ と

$1-H(s)/N$ を示す. $H(s)$ は低域通過特性, $1-H(s)/N$ は高域通過特性を有する. これらは PLL の位相雑音特性を理解するうえで重要な振る舞いである.

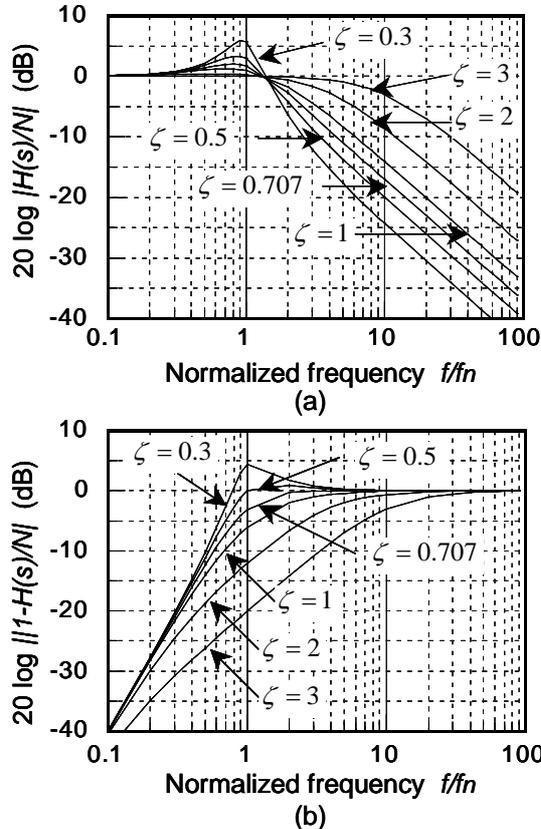


図6 2次PLLの $H(s)/N$ と $1-H(s)/N$

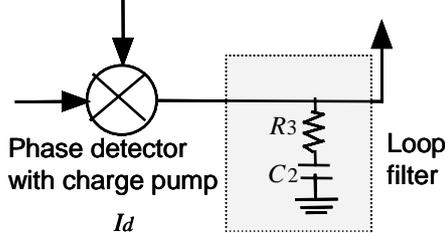


図7 電流出力型の位相比較器を用いたときの2次PLLのループフィルタ

図7に電流出力型の位相比較器[36]を用いた場合の2次PLLのループフィルタを示す. この2次PLLの閉ループ利得 $H(s)$ は次式で与えられる.

$$\omega_n = \sqrt{(K_v \cdot I_d) / (C_2 \cdot N)}, \quad \zeta = \frac{\tau_3}{2} \omega_n, \quad \tau_3 = R_3 \cdot C_2 \quad (13)$$

ここで I_d は電流出力形位相比較器の感度である. 電圧出力形位相比較器では, 論理回路の動作電圧で感度が制限される. そのため外部に演算増幅器が必要な場合が多い. 一方, 電流出力形位相比較器では, 電流源セルの大型化により高感度化が図れる利点がある. そのため, 近年のPLL-ICでは, 電流出力形位相比較器を用いたものが一般的である.

4.2 PLLの伝達特性と過渡応答特性

一般にPLLシンセサイザの過渡特性は, 位相ステッ

プ $\Delta\theta$ と周波数ステップ Δf に対する応答とに分け, 解析される. 図8に解析で用いる位相ステップ $\Delta\theta$ と周波数ステップ Δf を示す. これらのステップに対する応答を線形加算すれば, 全体の過渡特性は与えられる.

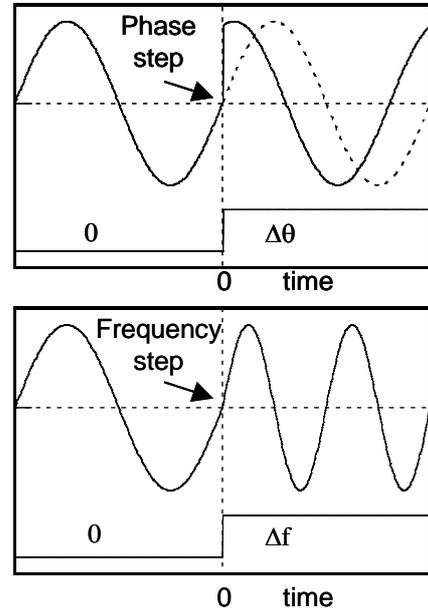


図8 位相ステップと周波数ステップ

まず位相ステップ $\Delta\theta$ に対する応答の解析を行う. s 領域での $\Delta\theta$ は, $\Delta\theta/s$ で表される. この $\Delta\theta/s$ を位相比較器入力に与えたときの, PLL出力での位相 Θ_{out} は次式で与えられる.

$$\Theta_{out} = H(s) \cdot \Delta\theta / s. \quad (14)$$

このPLL出力の Θ_{out} と, PLL入力の $\Theta_{in} = \Delta\theta/s$ との位相誤差 Θ_{e1} は次式で与えられる.

$$\begin{aligned} \Theta_{e1} &= N \cdot \Theta_{in} - \Theta_{out} \\ &= N \cdot \Delta\theta \cdot \frac{s}{s^2 + 2\zeta \cdot \omega_n \cdot s + \omega_n^2} \end{aligned} \quad (15)$$

ここで, Θ_{in} に対し分周数 N を補正している. 式(15)を逆ラプラス変換することにより, Θ_{e1} の時間応答 $\theta_{e1}(t)$ は次式で与えられる.

$$\begin{aligned} \theta_{e1}(t) &= L^{-1}[\Theta_{e1}] \\ &= N \cdot \Delta\theta \cdot \left[\cos(\omega_n \sqrt{1-\zeta^2})t - \frac{\zeta \cdot \sin(\omega_n \sqrt{1-\zeta^2})t}{\sqrt{1-\zeta^2}} \right] \cdot e^{-\zeta \cdot \omega_n t} \quad (\zeta < 1) \\ &= N \cdot \Delta\theta \cdot (1 - \omega_n t) \cdot e^{-\omega_n t} \quad (\zeta = 1) \\ &= N \cdot \Delta\theta \cdot \left[\cosh(\omega_n \sqrt{\zeta^2 - 1})t - \frac{\zeta \cdot \sinh(\omega_n \sqrt{\zeta^2 - 1})t}{\sqrt{\zeta^2 - 1}} \right] \cdot e^{-\zeta \cdot \omega_n t} \quad (\zeta > 1) \end{aligned} \quad (16)$$

この $\theta_{e1}(t)$ を時間微分することにより、位相ステップ $\Delta\theta$ 入力時の周波数誤差の時間応答 $f_{e1}(t)$ が与えられる。

$$\begin{aligned}
 f_{e1}(t) &= \frac{1}{2\pi} \frac{d\theta_{e1}(t)}{dt} \\
 &= N \frac{\Delta\theta}{2\pi} \cdot \omega_n \left[\frac{2\zeta^2 - 1}{\sqrt{1 - \zeta^2}} \sin(\omega_n \sqrt{1 - \zeta^2} t) - 2\zeta \cdot \cos(\omega_n \sqrt{1 - \zeta^2} t) \right] \cdot \varepsilon^{-\zeta \cdot \omega_n t} \quad (\zeta < 1) \\
 &= N \frac{\Delta\theta}{2\pi} \cdot \omega_n (\omega_n t - 2) \cdot \varepsilon^{-\omega_n t} \quad (\zeta = 1) \\
 &= N \frac{\Delta\theta}{2\pi} \cdot \omega_n \left[\frac{2\zeta^2 - 1}{\sqrt{\zeta^2 - 1}} \sinh(\omega_n \sqrt{\zeta^2 - 1} t) - 2\zeta \cdot \cosh(\omega_n \sqrt{\zeta^2 - 1} t) \right] \cdot \varepsilon^{-\zeta \cdot \omega_n t} \quad (\zeta > 1)
 \end{aligned} \tag{17}$$

式(17)より、初期の周波数誤差の最高値は、 $\Delta\theta = 2\pi$ の条件で $2N \cdot \omega_n \cdot \zeta$ となる。

次に周波数ステップ Δf に対する応答の解析を行う。s 領域での Δf は、 $2\pi \cdot \Delta f / s^2$ で表される。位相ステップの場合と同様の手順で、PLL 出力の位相と、PLL 入力の $2\pi \cdot \Delta f / s^2$ との位相誤差 θ_{e2} を求めると、次式で与えられる。

$$\theta_{e2} = 2\pi \cdot \Delta f \cdot \frac{1}{s^2 + 2\zeta \cdot \omega_n \cdot s + \omega_n^2} \tag{18}$$

これより θ_{e2} の時間応答 $\theta_{e2}(t)$ は次式で与えられる。

$$\begin{aligned}
 \theta_{e2}(t) &= L^{-1} \left[2\pi \cdot \Delta f \cdot \frac{1}{s^2 + 2\zeta \cdot \omega_n \cdot s + \omega_n^2} \right] \\
 &= \frac{2\pi \cdot \Delta f}{\omega_n} \left\{ \frac{1}{\sqrt{1 - \zeta^2}} \cdot \sin(\omega_n \sqrt{1 - \zeta^2} t) \right\} \cdot \varepsilon^{-\zeta \cdot \omega_n t} \quad (\zeta < 1) \\
 &= 2\pi \cdot \Delta f \cdot t \cdot \varepsilon^{-\omega_n t} \quad (\zeta = 1) \\
 &= \frac{2\pi \cdot \Delta f}{\omega_n} \left\{ \frac{1}{\sqrt{\zeta^2 - 1}} \cdot \sinh(\omega_n \sqrt{\zeta^2 - 1} t) \right\} \cdot \varepsilon^{-\zeta \cdot \omega_n t} \quad (\zeta > 1)
 \end{aligned} \tag{19}$$

同様に、周波数ステップ入力時の周波数誤差の時間応答 $f_{e2}(t)$ は次式で与えられる。

$$\begin{aligned}
 f_{e2}(t) &= \Delta f \cdot \left[\cos(\omega_n \sqrt{1 - \zeta^2} t) - \frac{\zeta}{\sqrt{1 - \zeta^2}} \sin(\omega_n \sqrt{1 - \zeta^2} t) \right] \cdot \varepsilon^{-\zeta \cdot \omega_n t} \quad (\zeta < 1) \\
 &= \Delta f \cdot (1 - \omega_n t) \cdot \varepsilon^{-\omega_n t} \quad (\zeta = 1) \\
 &= \Delta f \cdot \left[\cosh(\omega_n \sqrt{\zeta^2 - 1} t) - \frac{\zeta}{\sqrt{\zeta^2 - 1}} \sinh(\omega_n \sqrt{\zeta^2 - 1} t) \right] \cdot \varepsilon^{-\zeta \cdot \omega_n t} \quad (\zeta > 1)
 \end{aligned} \tag{20}$$

図9に2次PLLの過渡応答特性を示す。高速応答のためには、 ω_n の高周波数化と、適切な ζ の設定が必要である。しかしながら、 ω_n の高周波数化は分周器の遅延 $\exp(-s / f_{ref})$ による制限を受ける。筆者らは、文献[37]において、この遅延の影響を解析的に示している。

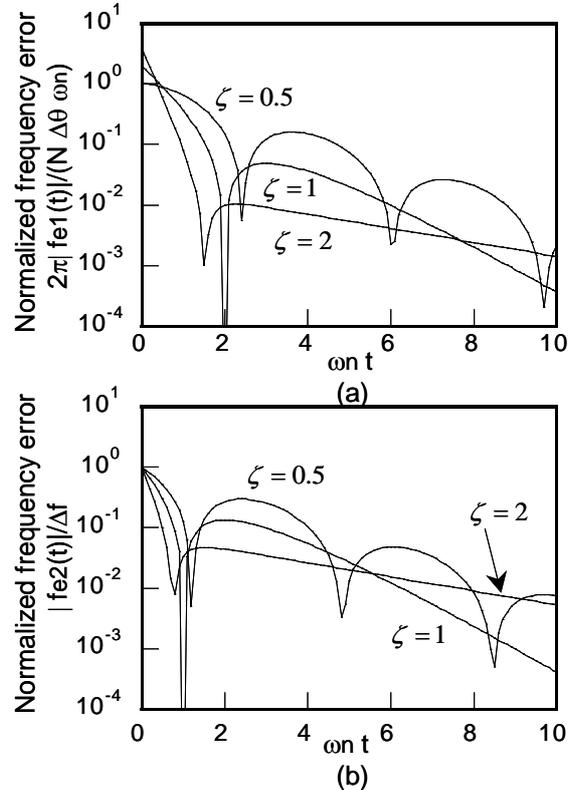


図9 2次PLLの過渡応答。(a)は位相ステップ $\Delta\theta$ 、(b)は周波数ステップ Δf に対する応答

次にこの遅延 $\exp(-s / f_{ref})$ を考慮したときの2次PLLの過渡応答特性について述べる。遅延を考慮したときの $\Delta\theta$ に対する $f_{e1}(t)$ と Δf に対する $f_{e2}(t)$ は次式で与えられる。

$$f_{e1}(t) = L^{-1} [F_{e1}(s)] \tag{21}$$

$$F_{e1}(s) = N \cdot \frac{\Delta\theta}{2\pi} \cdot \frac{s^2}{s^2 + (2\zeta \cdot \omega_n \cdot s + \omega_n^2) \cdot \varepsilon^{-s / f_{ref}}}$$

$$f_{e2}(t) = L^{-1} [F_{e2}(s)] \tag{22}$$

$$F_{e2}(s) = \Delta f \cdot \frac{s}{s^2 + (2\zeta \cdot \omega_n \cdot s + \omega_n^2) \cdot \varepsilon^{-s / f_{ref}}}$$

つぎに $F_{e1}(s)$ と $F_{e2}(s)$ を、数値解析により逆ラプラス変換し、時間応答を求める。数値解析には FILT 法[38]を用いている。図10に遅延を考慮した2次PLLの過渡応答を示す。図10から2次PLLの切換え速度の限界値が与えられる。高速化のために固有周波数 f_n を高めると、 f_{ref} の5%を超えた付近から安定性を損ない、むしろ低速となることわかる。

以上をまとめると、2次 PLL の各パラメータと過渡応答の関係は以下の通りである。

- (1) f_n を高めると高速化できるが、 f_{ref} の約 5% から 10% を上限とする。従い f_{ref} を高めると、より高速化が可能となる。
- (2) ζ の適切な設定が必要。収束条件により最適値は異なるが ζ は 0.7 から 1 程度が適切である。

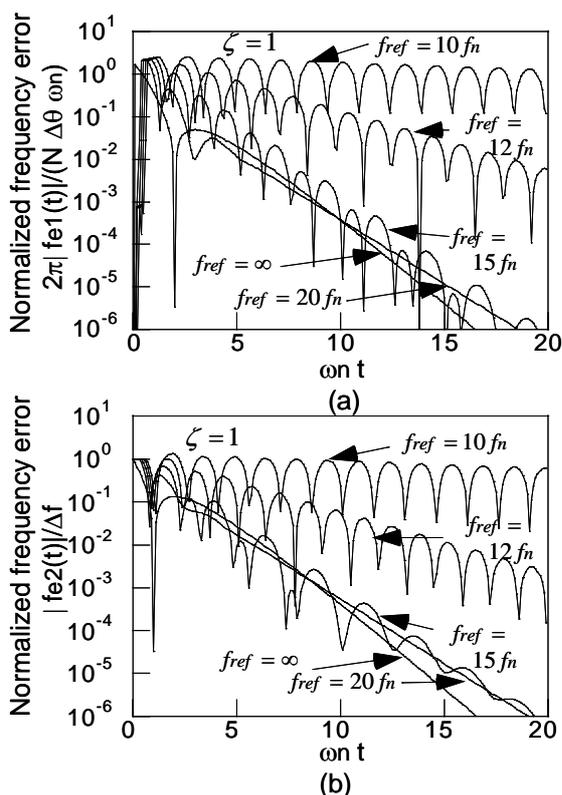


図10 分周器での遅延を考慮した2次PLLの過渡応答特性。(a)は位相ステップ $\Delta\theta$ 、(b)は周波数ステップ Δf に対する応答

4.3 PLLの伝達特性と位相雑音特性[19]

PLL シンセサイザの位相雑音特性は、PLL 出力での各コンポーネントからの雑音の加算により与えられる。図11にPLL シンセサイザの位相雑音のモデルを示す。各コンポーネントの雑音に、次式の伝達関数を乗じることによって、PLL 出力での雑音が与えられる。

$$\text{(雑音加算点から PLL 出力までの前向き利得)} / (1+G(s)) \quad (23)$$

雑音の加算点(図11の a 点から d 点)から PLL 出力までの伝達関数 $H_a(s)$ 、 $H_b(s)$ 、 $H_c(s)$ 、 $H_d(s)$ は、次式で与えられる。

$$\begin{aligned} H_a(s) &= H_b(s) = [K_p \cdot F(s) \cdot K_v / s] / [1 + G(s)] = H(s) \\ H_c(s) &= [F(s) \cdot K_v / s] / [1 + G(s)] = [1 / K_p] \cdot H(s) \\ H_d(s) &= 1 / [1 + G(s)] = 1 - H(s) / N \end{aligned} \quad (24)$$

式(24)より PLL シンセサイザの位相雑音 $L_{out}(s)$ は次式で与えられる。

$$\begin{aligned} L_{out}(s) &= |H_a(s)|^2 \cdot L_d(s) + |H_b(s)|^2 \cdot L_r(s) \\ &\quad + |H_c(s)|^2 \cdot E_n(s)^2 + |H_d(s)|^2 \cdot L_{vco}(s) \\ &= N^2 \cdot |H(s) / N|^2 \cdot L_{in}(s) + |1 - H(s) / N|^2 \cdot L_{vco}(s) \\ L_{in}(s) &= L_r(s) + L_d(s) + E_n(s)^2 / K_p^2 \end{aligned} \quad (25)$$

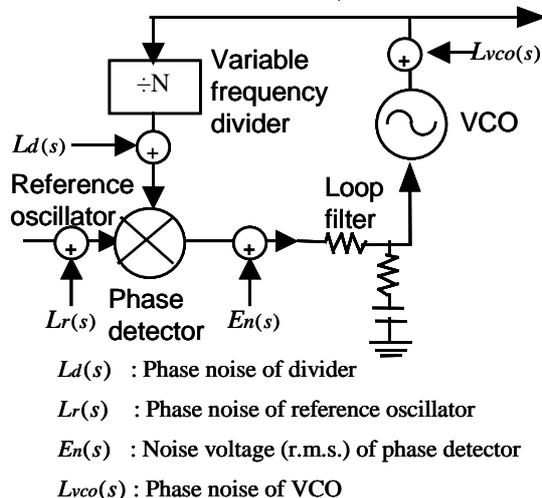


図11 PLLシンセサイザの位相雑音のモデル

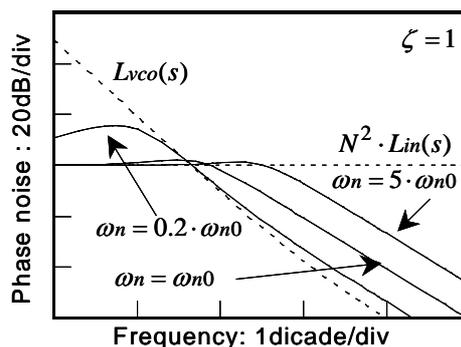


図12 固有周波数を変化させたときのPLLシンセサイザの位相雑音

式(25)より、VCO 以外のコンポーネントの雑音 $L_{in}(s)$ には低域通過特性を有する $H(s)$ が乗され、VCO の位相雑音 $L_{vco}(s)$ には高域通過特性を有する $1 - H(s) / N$ が乗される。従い、PLL シンセサイザの位相雑音に対し、搬送波近傍の周波数領域では $L_{in}(s)$ が、搬送波遠方の周波数領域では $L_{vco}(s)$ が支配的となることがわかる。

図12に固有周波数 f_n を変化させたときのPLL シンセサイザの位相雑音を示す。同図より以下のことがわかる。

- (1) f_n を高めるとキャリア近傍の位相雑音が改善されるが、キャリア遠方の位相雑音が劣化する。
- (2) f_{ref} を高めると、 N を低くでき、キャリア近傍の位相雑音 $N^2 \cdot L_{in}(s)$ を抑制することができる。

4.4 過渡応答と位相雑音の関係

PLL の伝達関数に対する PLL シンセサイザの過渡応答と位相雑音の関係は以下の通りである。

- (1) 固有周波数 f_n を高めることにより、PLL の高速化を

図ることができる。このとき、キャリア近傍の位相雑音が改善されるが、キャリア遠方の位相雑音が劣化する。隣接チャンネルへの漏洩電力が問題となる陸上移動体通信では、位相雑音と切換え速度はトレードオフの関係である。過去、携帯電話を始めとする移動通信のデジタル化の過程で顕在化した課題である。

(2) Fractional-PLL シンセサイザあるいは DDS 駆動 PLL シンセサイザにより、 f_{ref} を高めることにより、上記のトレードオフ関係は解消できる。そのため、2000 年代に入り、多くの携帯電話用 RF-IC では Fractional-PLL が採用されている。ただし、付加される回路規模、消費電流、スプリアスレベルとのトレードオフが新たな課題となる。

5. PLL シンセサイザの低雑音化

5.1 PLL 用コンポーネントの低雑音化

低雑音 PLL シンセサイザを実現するためには、低雑音コンポーネントを用いる必要がある。主要文献[19][39]においても、各コンポーネントの雑音の実態に記述を割いている。このような数値レベルでの限界値の把握が低雑音 PLL シンセサイザ設計の第一歩である。

5.1.1 分周器・位相比較器の低雑音化

分周器や位相比較器の位相雑音は、デバイスの雑音により、論理回路のタイミングが時間的にゆらぐことによる。そのため、一般には高振幅動作の論理回路を用い、信号の SN 比を改善し位相雑音特性を改善する。従い、バイポーラ系の ECL ロジックよりは、MOS 系の CMOS ロジックを用いたほうが、低雑音となる傾向にある[19]。また GaAs 系デバイスを用いる場合[40]、フリッカ雑音による搬送波近傍の位相雑音の劣化が問題となる。

さらに式(25)に示すように、位相比較器では感度 K_p の改善により、低雑音化を行うことができる。 K_p を高めるには、(1)高振幅動作の論理回路により位相比較器を構成する、(2)EX-OR のような検波特性が急峻な回路構成を用いる、などの方法がある。ただし、EX-OR は、一般に用いられる位相周波数比較器のような引き込み機能はないので、何らかの補助手段が必要となり、高速動作には適さない。

5.1.2 VCO の低雑音化

発振器の位相雑音は次式で与えられる[41]。

$$L_{vco}(\omega) = \left(\frac{\omega_0}{2Q}\right)^2 \frac{\alpha}{\omega^3} + \left(\frac{\omega_0}{2Q}\right)^2 \frac{1}{\omega^2} \frac{2FkT}{P} + \frac{2FkT}{P} \quad (26)$$

ここで、 ω は搬送波からの離調角周波数、 ω_0 は発振角周波数、 Q は発振器の Q 、 α はフリッカ雑音による近傍雑音を与える定数、 FkT は 1Hz あたりの熱雑音電力、 P は発振電力である。式(26)より、VCO の低雑音化のためには、(a)共振器の Q を高め、発振器としての Q を高める、(b)熱雑音やフリッカ雑音が低レベルの発振素子を用いる、(c)低周波の雑音を up-conversion する効果をもたらす半導体素子の非線形性を抑制する、(d)発振レベルを高める、などのアプローチがある。(a)の観点から、

VCO に共振回路が装荷される。共振回路には、集中定数回路、マイクロストリップ線路、誘電体共振器・導波管キャピティを用いたものなどがある。これらの共振回路にバラクタダイオードを結合させ周波数同調動作をさせている。一般には、広帯域同調を行うほど Q は低下する傾向にあり、位相雑音特性は低下する。そのため、タンク回路をスイッチで切換える構成なども用いられる[2]。(b)の観点から、特に 100kHz 以下のフリッカ雑音を抑制するために、バイポーラトランジスタ(BJT, HBT)が用いられる。(c)には主には設計問題ではあるが、バラクタダイオードの非線形性を抑制する back-to-back 接続も有効な手法である[42]。(d)の観点では、搬送波から離れた領域の雑音が問題となる GSM や W-CDMA 用の LSI 化 VCO には高振幅である MOSFET が用いられる。

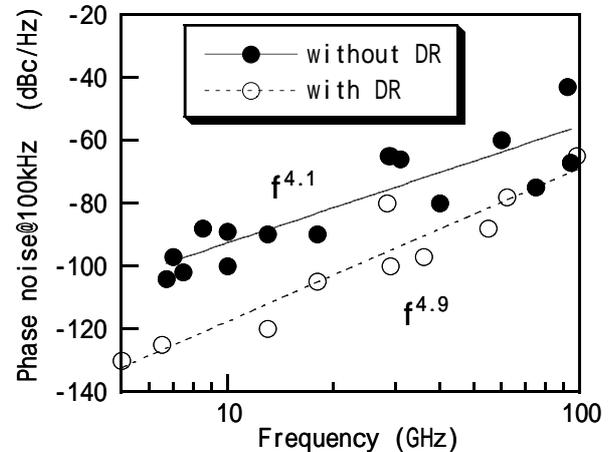


図13 発振器の位相雑音(DRはTE01 モードの誘電体共振器)

図13に発振器の位相雑音を示す。同図には高 Q の共振回路である TE01 モードの誘電体共振器(図中、DR)を装荷した発振器の位相雑音を示す。一般には、TE01 モードの誘電体共振器を装荷した発振器は、周波数同調範囲が狭く、シンセサイザに用いられる場合は少ない。同図より発振周波数が高くなると、位相雑音の劣化が著しく、また同調帯域が狭くなる傾向にある。マイクロ波からミリ波領域での位相雑音は 40dB/dec から 50dB/dec の傾向であり、単なる逡倍の効果 20dB/dec より急峻である。これは、発振周波数の高周波化とともに、回路の Q が低下し、かつ発振素子の利得が低下するために、タンク回路と発振素子の結合度を高めることが必要となるためである。従い、マイクロ波・ミリ波 PLL シンセサイザ用 VCO では、低雑音化の観点からは低周波 VCO からの逡倍を行うほうが有利である[43]。ただし、携帯電話用 RF-IC で用いられる集積化 VCO においては、チップ面積の制約から、より小形でかつ高 Q の回路定数の選択が容易な高周波での発振を行い、分周して用いる方式がとられている[17]。

5.2 位相比較周波数 f_{ref} を高めることによる低雑音化

4. より、 f_{ref} を高めたほうが、高速周波数切換えかつ低位相雑音が可能となることを示した。これが、

Fractional-PLLシンセサイザやDDS駆動PLLシンセサイザを開発する動機となっている。

表1 1GHz帯PLLシンセサイザの計算条件

| | case 1 | case 2 |
|--------------------|-------------|----------------|
| | Integer PLL | Fractional PLL |
| Output freq. | 1GHz | 1GHz |
| Reference freq. | 25kHz | 200kHz (M=8) |
| ζ | 1 | 1 |
| $Lin(s)$ | -152dBc/Hz | -152dBc/Hz |
| $[N Lin(s)]$ | [-60dBc/Hz] | [-78dBc/Hz] |
| $Lvco(s)$ @ 100kHz | -120dBc/Hz | -120dBc/Hz |
| Δf | 20MHz | 20MHz |

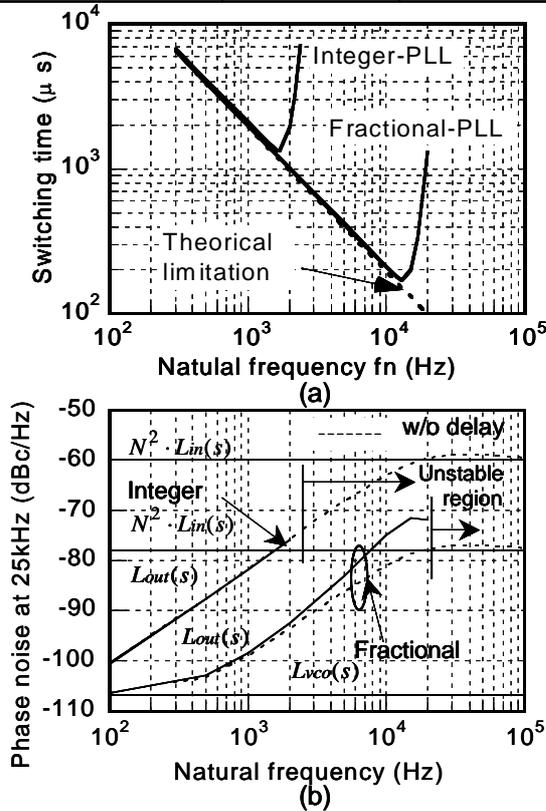


図14 固有周波数に対する1GHz帯PLLシンセサイザの周波数切換え速度と位相雑音

5.2.1 Fractional-PLLシンセサイザ

ここでは、PDC方式携帯電話用PLLシンセサイザのパラメータを例にとり、周波数切換え速度と位相雑音の計算から、Fractional-PLLシンセサイザの有用性を定量的に示す[44]。表1は1GHz帯PLLシンセサイザでの計算条件である。Case1は $f_{ref} = 25kHz$ であり、通常のPLLシンセサイザに相当する。Case2は $f_{ref} = 200kHz$ であり、Modulo数 $M=8$ のFractional-PLLシンセサイザに相当する。また、2つのPLLシンセサイザの $Lin(s)$ が同じ仮定のもと、位相雑音の計算を実施した。図14に固有周波数

f_n に対するPLLシンセサイザの周波数切換え速度と位相雑音を示す。PLLの遅延を考慮しない場合は、 f_n を高める程、高速となる。しかしながら、PLLの遅延によりCase1では1.3ms、Case2では0.17msが周波数切換え速度の限界性能となる。この限界値は位相比較周波数に比例している。次に、位相雑音の計算では、Case1、Case2ともに、PLLシンセサイザ出力での位相雑音 $L_{out}(s)$ は、低 f_n となるほど $L_{vco}(s)$ へ、高 f_n となるほど $N^2 \cdot Lin(s)$ へ近づく。また、よりCase2では、Case1より低位相雑音となる。以上より、Fractional-PLLシンセサイザにより位相比較周波数 f_{ref} を高めると、高速化と低雑音化を同時に達成することができる。図15に移動体衛星通信用に開発したL帯DDS駆動PLLシンセサイザの構成を、図16に位相雑音を示す。

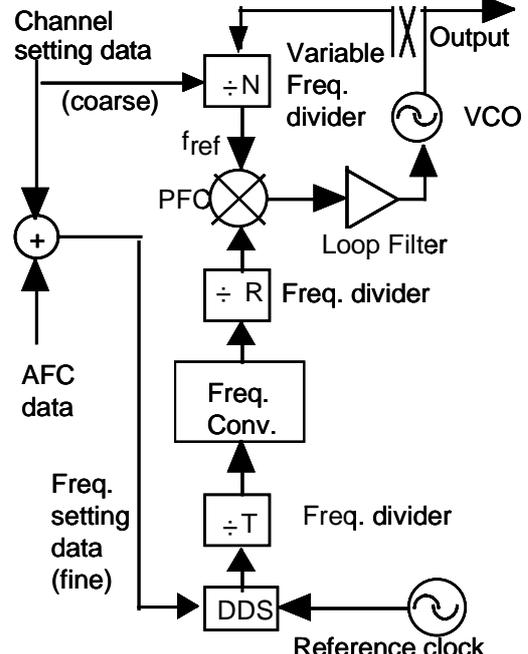


図15 L帯DDS駆動PLLシンセサイザの構成

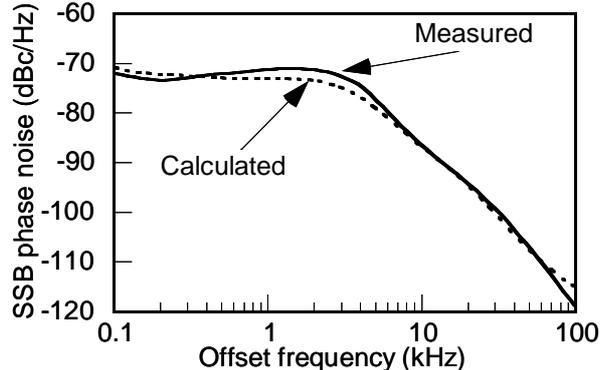


図16 L帯DDS駆動PLLシンセサイザの位相雑音

5.2.2 DDS 駆動 PLL シンセサイザ

DDS 駆動 PLL シンセサイザも Fractional-PLL シンセサイザ同様、チャンネル間隔に関わらず f_{ref} を高め、高速周波数切換えと低雑音化を同時に達成することができる。図15に移動体衛星通信用に開発したL帯DDS駆動PLLシンセサイザ[30]の構成を、図16に位相雑音を示す。

す。DDS の出力に周波数変換器を設け、アップコンバージョンすることにより、DDS のスプリアスの通倍による劣化を抑制している。その結果、チャンネル間隔 f_{sp} が 0.06Hz、周波数切換え速度が 2.7ms、1kHz 離調時の位相雑音が -71dBc/Hz の性能が得られた。微細なチャンネル間隔により、送受信機の AFC 機能も可能としている。同様の技術は 5-10GHz 帯 PLL シンセサイザにも適用されている[45]。DDS 駆動 PLL シンセサイザは、DA 変換器のチップ面積や消費電流の面で不利であり、適用事例は多くない。しかしながら半導体の微細化による回路の小形化、低消費電流化により、適用領域の拡大が期待できる。

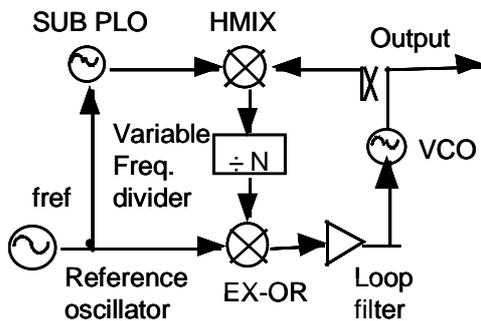


図 17 周波数変換器を設けたKu帯PLLシンセサイザの構成

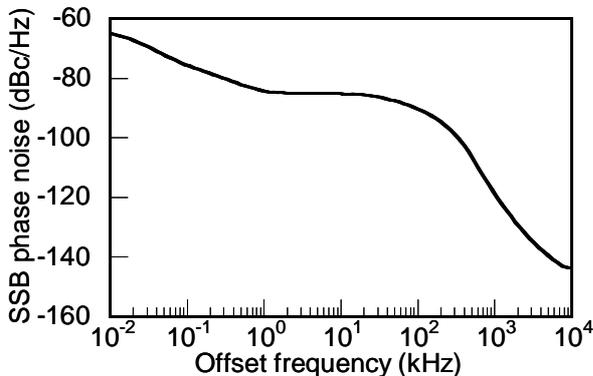


図 18 Ku帯PLLシンセサイザの位相雑音

5.3 分周数を抑制することによる低雑音化

マイクロ波帯の PLL シンセサイザを低雑音化するアプローチとして、PLL ループ内に周波数変換器を設ける手法がある[3][46]。図 17 に周波数変換器を設けた Ku 帯 PLL シンセサイザ[46]の構成を示す。L 帯位相同期発振器(SUB PLO)と6通倍の高調波ミキサ(HMIX)で PLL 内の周波数変換器を構成している。この周波数変換器により Ku 帯の VCO の出力波を 1GHz 以下としている。そのため分周数の抑制による位相雑音の改善を可能としている。この構成による PLL の雑音の改善量は 22dB である。またこの PLL シンセサイザでは、位相比較器に EX-OR を用い、低雑音化を図っている。図 18 に Ku 帯 PLL シンセサイザの位相雑音特性を示す。1kHz から 100kHz では -85dBc/Hz である。十分、デジタル伝送に耐えうる低雑音な特性である。この方式は構成が

複雑となり、大型化するものの、マイクロ波・ミリ波帯における PLL シンセサイザの低雑音化に有効である。

6. むすび

本報告では初学者向けに PLL シンセサイザの低雑音化技術についてまとめた。特に PLL の伝達関数について解析的に説明し、位相雑音と切換え速度がトレードオフの関係にあることを示した。また近年の Fractional-PLL シンセサイザの開発により、このトレードオフが緩和されていることも示した。本文中には引用していないが、文献[47]-[56]も PLL、VCO、通信理論の理解の助けとなる。本文中で引用した基本的な文献とあわせ、初学者には参考文献の一読を勧める。

参考文献

- [1] F.M.Gardner, "Phaselock techniques," 2nd ed., John Wiley & Sons, 1979.
- [2] U.L.Rhode, "Digital PLL frequency synthesizers, theory and design," Prentice-Hall, 1983.
- [3] V.Manassewitsch, "Frequency synthesizers theory and design," 3rd ed., John Wiley & Sons, 1987.
- [4] V.F.Kroupa, "Phase lock loops and frequency synthesis," John Wiley & Sons, 2003.
- [5] H.de Besseliere, "La reception synchrone," Onde Electr., 11, pp.230-240, June 1932.
- [6] K.R.Wendt and G.L.Fredendall, "Automatic frequency and phase control of synchronization in television receivers," Proc. IRE, vol.31, pp.7-15, Jan. 1943.
- [7] C.E.Gilchrist, "Application of phase-locked loop to telemetry as a discriminator or tracking filter," IRE Trans. Telemetry and Remote Control, pp.20-35, June 1958.
- [8] L.F.Blachowicz, "Dial any channel to 500MHz," Electronics, vol.39, no.9, pp.60, May 1966.
- [9] 太田滉二, 高原穆之, 島山博明, "衛星通信地球局用マイクロ波周波数シンセサイザ,"昭49信学全大, 2307, 1974.
- [10] A.F.Evans, "A versatile digital frequency synthesizer for use in mobile communication sets," Elect. Eng., vol.38, no.459, pp.296, May 1966.
- [11] H. Sato et al., "A 1.9-GHz Single Chip IF Transceiver for Digital Cordless Phones," IEEE J. Solid-State Circuits, vol.31, no. 12, pp. 1974-1980, 1996.
- [12] C.A. K.Smith, US Patent No.3928813, Dec. 1975.
- [13] L.Dauphinee, M.Copeland, P.Schvan,"A balanced 1.5 GHz Voltage controlled oscillator with an integrated LC resonator," Digest of 1997 IEEE ISSCC, pp.390-191, Feb. 1997.
- [14] K.Itoh, et.al. ," Integrated Even Harmonic Type Direct Conversion Receiver for W-CDMA Mobile Terminals". 2002 IEEE IMS. Digest, pp.9-12, 2002.
- [15] M.Goldfarb, W.Palmer, T.Murphy, R.Clarke, B.Gilbert, K.Itoh, T.Katsura, R.Hayashi, H.Nagano, "Analog baseband IC for use in direct conversion W-CDMA receiver," 2000 IEEE RF-IC Symp. Digest, pp.79-82, 2000.
- [16] J.Starange, S.Atkinson, "A direct conversion transceiver for multi-band GSM application," 2000 IEEE RF-IC Symp., pp.25-28, 2000.
- [17] H.Nakamizo, T.Ueda, K.Ninomiya, Y.Takahashi, H.Joba, K.Itoh, D.S.Mathi, D.Wang, "W-CDMA 1 chip SiGe TX-IC

- with high dynamic range and accurate temperature compensation VGA," 2003 IEEE RF-IC Symp. Digest, pp.399-402, 2003.
- [18] K.Fong, and G.Churan, "Mobile earth terminals in the AMSC mobile satellite service system," Proc. AIAA 16th International Communication Satellite System Conference, pp.245-255, 1994.
- [19] V.F.Kroupa, "Noise properties of PLL systems," IEEE Trans. Commun., vol.COM-30, no.10, pp.2254-2253, Oct. 1982.
- [20] V.Manassewitsch, "Frequency synthesizers theory and design," 3rd ed., John Wiley & Sons, pp.583-584, 1987.
- [21] 丸山喜代志, ト部周二, 結城主央巳, "位相比較周波数切替形 PLL-FM 変調器," 信学論 (B), vol.J70-B, no.1, pp.115-122, Jan. 1987.
- [22] 垂沢芳明, 山尾泰, 斎藤茂樹, "デジタルル - プリセツト形高速周波数シンセサイザ," 信学論(B-II), vol.J75-B-II, no.6, pp.345-353, June 1992.
- [23] K.Seki, M.Morikura, and S.Kato, "High resolution and fast frequency settling PLL synthesizer," IEICE Trans. Commun., vol.E75-B, no.8, pp.739-746, Aug. 1992.
- [24] 梶原昭博, 中川政雄, "高速周波数ホッピングが可能な PLL シンセサイザ," 信学論 (B-II), vol.J73-B-II, no.2, pp.95-102, Feb. 1990.
- [25] Y.Koo, H.Huh, Y.Cho, J.Lee, J.Park, K.Lee, D.Jeong, W.Kim, "A fully integrated CMOS frequency synthesizer with charge-averaging charge pump and dual-path loop filter for PCS- and Cellular-CDMA wireless systems," IEEE J. Solid- State Circuits, vol.35, no.5, pp. 536-542, May. 2002
- [26] T.A.D.Riley, et.al., "Sigma-delta modulation in fractional- N frequency synthesis," IEEE Journal of Solid State Circuits, vol.28, pp.553-559, May 1993.
- [27] I.Galton, "Delta-sigma data conversion in wireless transceivers," IEEE Trans. MTT, vol.MTT-38, no.9, pp.302, -315, Sept.2002.
- [28] J.Tierney, C.M.Rader, and B.Gold, "A digital frequency synthesizer," IEEE Trans. Audio and Electroacoustics, vol.AU-19, no.1, pp.48-57, Mar.1971.
- [29] A.L.Bramble, "Direct digital frequency synthesis," Proc. 35th Ann. Freq. Control Symp., pp.406-414, 1981.
- [30] K.Itoh, et.al, "Dual tunable type low spurious PLL synthesizer driven by DDS for Hz-order tuning used in North American MSAT mobile terminal," 1997 International Mobile Satellite Communication, Pasadena.
- [31] K.Tajima, K.Kawakami, A.Kagohara, K.Itoh, "Phase noise effect on frequency measurement error of IFM receivers," 1998 IEEE IMS digest, pp.1815-1818, 1998.
- [32] C.J.Wolejsza, COMSAT REVIEW, 6,1,1976.
- [33] 電波振興会, "第二世代コードレス電話システム標準規格," RCR STD-28.
- [34] S.J.Goldman, "Phase noise analysis in radar systems", John Wiley & Sons, 1989.
- [35] S.Goldman, "Divider delay: The missing PLL analysis ingredient," r.f. design, March/April, 1984.
- [36] B.Razavi, "RF Microelectronics," Prentice Hall, 1998.
- [37] 伊東健治, 田島賢一, 西村修司, 飯田明夫, "周波数変換器を用いた2同調形低スプリアス DDS 駆動 PLL シンセサイザ," 信学論(B-II), vol.J79-B-II, no.7, pp.353-362, June. 1996.
- [38] T.Hosono, "Numerical inversion of Laplace transform and some applications to wave optics," Radio Science, vol.16, no.6, pp.1015-1019, 1981. ほか, 「細野敏夫, "BASIC による高速ラプラス変換," 共立出版, 1984.」も参考となる.
- [39] W.F.Egan, "Frequency Synthesis by Phase Lock," second ed., John Wiley & Sons, 2000.
- [40] T.Ohira, M.Muraguchi, T.Hirota, K.Osafune, M.Ino, "Dual-chip GaAs monolithic integration Ku-band phase-locked-loop microwave synthesizer," IEEE Trans. MTT, vol.MTT-38, no.9, pp.1204-1209, Sept.1990.
- [41] D.B.Leeson, "A simple model of feedback oscillator noise spectrum," Proc.IEEE, vol.54, pp.329-330, Feb.1966.
- [42] T. Ohira, "Spectral purification in GaAs MMIC voltage controlled oscillators by integrated anti-series coupled varactors", APMC1993, pp.6.16-6.19, Hsinchu, Oct.1993.
- [43] K.Itoh, M.Komaru, A.Iida, O.Ishida, "Microwave and Millimeter-wave transceiver circuits for multimedia communications," MWE'96 Microwave Workshop Digest, pp.283-288, 1996.
- [44] K.Itoh, "PLL Synthesizer for wireless terminal," MWE2000 Microwave Workshop Digest, pp.343-348, 2000.
- [45] K.Tajima, Y.Imai, Y.Kanagawa, K.Itoh, "A 5 to 10GHz low spurious triple tuned type PLL synthesizer driven by frequency converted DDS unit," 1997 IEEE IMS digest, pp.1217-1220, 1997.
- [46] 池松寛, 伊東健治, 尾崎裕, 増田剛徳, "偶高調波ミキサを用いた衛星通信用 Ku 帯低雑音周波数シンセサイザ," 1997 年信学総大, C-2-49, 1997.
- ・以下は位相雑音や PLL の基礎の理解に有用である.
- [47] W.F.Egan, "Phase Lock Basics," John Wiley & Sons, 1998.
- [48] W.P.Robins, "Phase noise in signal sources," IEE press, 1982.
- [49] 相川正義, 大平孝, 徳満恒雄, 広田哲夫, 村口正弘, "モノリシックマイクロ波集積回路", 電子情報通信学会, 1997.
- [50] 小沢俊行, "PLL 周波数シンセサイザ・回路設計法," 総合電子出版社, 1994.
- [51] A.Hajimiri, T.H.Lee, "The design of low noise oscillators," Kluwer Academic Publishers, 1999.
- ・以下は無線システムの理解に有用である.
- [52] 室谷正芳, 山本平一, "デジタル無線通信", 産業図書, 1985.
- [53] 宮内一洋, "通信方式入門," コロナ社, 1991.
- [54] 斎藤洋一, "デジタル無線通信の変復調", 電子情報通信学会, 1996.
- ・以下は文献集であり関連技術の開発履歴を知る上で有用である.
- [55] A.A.Abidi, P.R.Gray, and R.G.Meyer, "Integrated circuits for wireless communications," IEEE press, 1998.
- [56] V.F.Kroupa, "Direct digital synthesizers," IEEE press, 1998.