

回路素子特性測定と等価回路定数抽出

Measurements of Microwave Device Characteristics and Circuit Parameter Extraction Procedures

藤井 恒平
Kohei Fujii

Agilent Technologies, Inc, Wireless Semiconductor Division
350/370 West Trimble Road, MS 90L-LA
Kohei_fujii@agilent.com

Abstract

このセミナーはベクトルネットワークアナライザにおけるキャリブレーション手法を理解することを目的に作成した。このセミナーでは Short, Open, Load, and Thru (SOLT)手法について説明する。更に、これらの SOLT, キャリブレーションのための標準器の設計法を、実際に GaAs 基板上に MMIC プロセスを使って実現した例を用いて説明する。最後に、測定したデバイス特性から等価回路要素パラメータの抽出法を説明する。

An aim of this seminar is that the attendees understand the concept of the calibration method for the vector network analyzer (VNA). This seminar covers the Short, Open, Load, and Thru (SOLT) method. It also shows design examples for the SOLT calibration standards on the 100um GaAs substrate using an MMIC process. This seminar also covers equivalent circuit model parameter extraction technique.

1. One-port calibration

1.1 One-port error modeling

ネットワークアナライザにおける基本的な測定は、One-port の未知の反射係数を求める問題である。図 1 が One-port ネットワーク測定の場合であり、RF 信号源とリフレクタにより構成される [1]

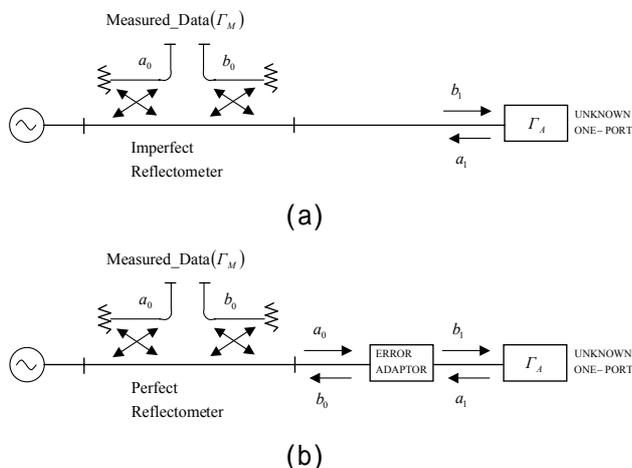


Figure 1.1 One-port error modeling

図 1(a)の構成で測定すると、その反射係数は、 $\Gamma_M = b_0 / a_0$ である。この測定結果は、リフレ

クタメータを構成している方向性結合器の mismatches、方向性、更に通過損失における制限が原因で発生する誤差を含んでいる。幸いに、測定結果には再現性があるため、図 1(b)に示すように、リフレクタと未知の負荷の間に架空のエラーアダプタを定義することで、測定した反射係数 Γ_M から測定誤差を取り除いて、真の反射係数 Γ_A を求めることが可能になる。ネットワークアナライザのキャリブレーションとは仮定したエラーアダプタの誤差要因 (エラーターム) を求めることである。

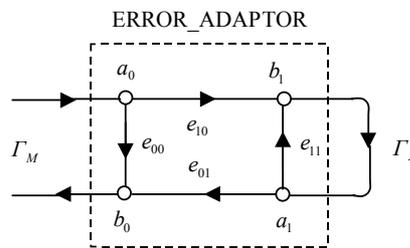


Figure 1.2. One-port signal flowchart and solution

仮定したエラーアダプタは、シグナルフローチャートとして図 1.2 のように示すことができる [2,3]。例として、 Γ_A に 50Ω の純抵抗を接続

した測定を考える。50Ωの純抵抗は、測定系のインピーダンスと等しいため反射係数はゼロであるが、実際の測定結果 Γ_M にはシステムの方角性 e_{00} によって誤差信号が生じる。これによって、エラーアダプタ内部では e_{10}, e_{01} にも信号が生じる。これはカップラの誤差、フロントエンドミキサ、ケーブル等の周波数特性であるため反射周波数応答と呼ばれる。更に、 e_{11} は、未知のポートから見た残りの mismatches を意味しており、ポートマッチと呼ばれる。

測定した入射波 a_0 と反射波 b_0 は、シグナルフローチャートから、

$$b_0 = e_{00}a_0 + e_{01}a_1 \quad (1.1)$$

$$a_1 = \Gamma_A b_1 = \Gamma_A (e_{10}a_0 + e_{11}a_1) \quad (1.2)$$

と表される[4]。その結果、未知の One-port 負荷 Γ_A への入射波 a_1 は、

$$a_1 = \frac{e_{10}a_0\Gamma_A}{1 - e_{11}\Gamma_A} \quad (1.3)$$

と表される。更に式(1.3)より

$$b_0 = e_{00}a_0 + e_{01} \frac{e_{10}a_0\Gamma_A}{1 - e_{11}\Gamma_A} \quad (1.4)$$

である。その結果、測定値 Γ_M 、未知の One-port 負荷 Γ_A 及びエラーアダプタの関係は

$$\Gamma_M = \frac{b_0}{a_0} = e_{00} + \frac{e_{10}e_{01}\Gamma_A}{1 - e_{11}\Gamma_A} \quad (1.5)$$

となる。式(1.5)は、測定した Γ_M を未知の One-port 負荷 Γ_A に変換する式に変換すると、

$$\Gamma_A = \frac{e_{00} - \Gamma_M}{e_{11}(e_{00} - \Gamma_M) - e_{10}e_{01}} \quad (1.6)$$

となる。

1.2 One-port 校正

式(1.5)における未知数は方向性 e_{00} 、反射周波数応答 $e_{10}e_{01}$ 、ポートマッチ e_{11} の三つのエラータームであり、校正によりこれを求める。One-port の校正は、あらかじめ反射係数 Γ_A が分かっている3種類の校正標準器を使った測定結果から、三つの測定値 Γ_M を求める。その結果、3種類の式(1.5)が成立するので、三つのエラーターム e_{00} 、 $e_{10}e_{01}$ 、 e_{11} を求めることが可能になる。

校正標準器としてはショート、オープン、ロードが広く使われている。校正標準器は以下の条件を満たさなくてはならない。1)測定する周波数範囲において、その特性が正確にわかっていなければならない、2)再現性がある、3)テストポートとの接続において信頼性がある。ここでは、100um厚みの GaAs 基板上に MMIC プロセスを使って校正標準器を設計した例を示す。

1.2.1. OPEN

オープン回路はフリンジングキャパシタンスがあるため、これを正確にモデリングしなくて

はならない。図 1.3 にバランス型コプレーナプローブ用に設計したオープン標準器を示す。図 1.4 にシミュレーションで求めたグランデットコプレーナオープン(W=40um, Gap=45um)の特性を示す。等価回路で表したオープン容量は $L_0=3.4$ fF. である。

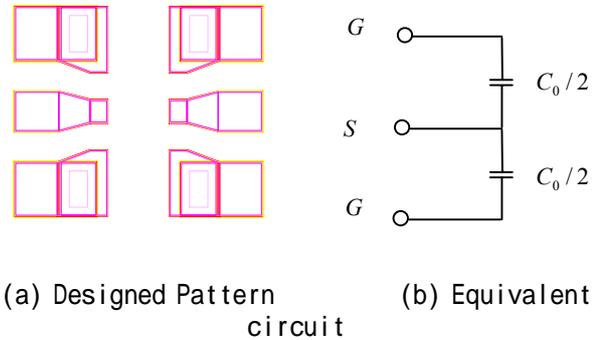


Figure 1.3. Open standard on the 100um GaAs substrate

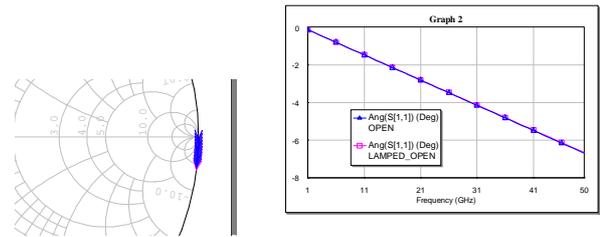


Figure 1.4. Simulated and Modeled open standard on the 100um GaAs substrate, Freq= 1 to 50GHz

1.2.2. Short

ショート回路は形状に依存したインダクタンスが存在するため、正確にモデリングしなければならない。図 1.5 にバランス型コプレーナプローブ用に設計したショート標準器を示す。図 1.6 にグランデットコプレーナショートのシミュレーション結果を示す。モデリングした等価回路インダクタンスは $L_0=9.1$ pH. である。

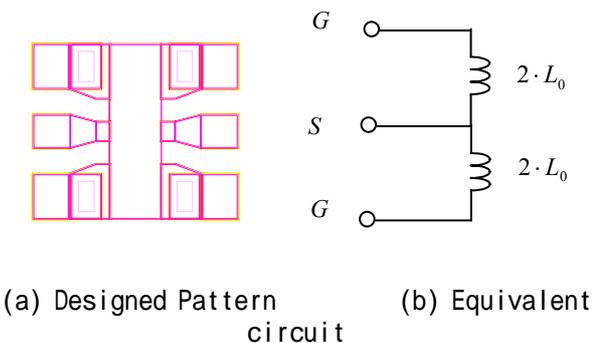


Figure 1.5. Short standard on the 100um GaAs

substrate

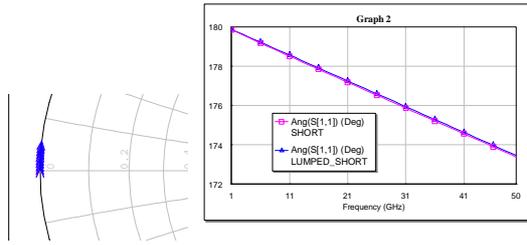
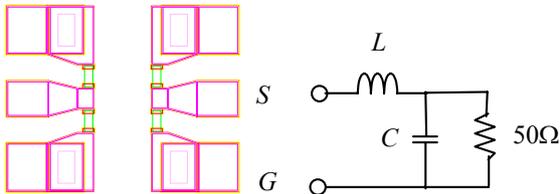


Figure 1.6. Simulated and modeled short standard, Freq=1 to 50GHz

1.2.3. Load

図 1.7 にバランス型コプレーナプロブ用に設計したロード標準器を示す。設計した標準器は 100Ω 薄膜抵抗二つを並列接続することで、寄生容量を最小にしている。図 1.7(b) は、ロードの等価回路である。最適に設計したロードは非常に小さな寄生インダクタンスとキャパシタンスを持つ。しかし、表皮効果により 26.5GHz 以上の周波数において抵抗値が上昇するため、高周波用のロード標準器のモデリングは非常に難しい。図 1.8 にシミュレーションにより求めたロードの周波数特性と、等価回路で表した周波数特性を示す。ロードの特性をモデリングする等価回路の定数は L=5 pH, C=0pF, R=50 Ω である。



(a) Designed Pattern (b) Equivalent circuit

Figure 1.7. Short standard on the 100um GaAs substrate

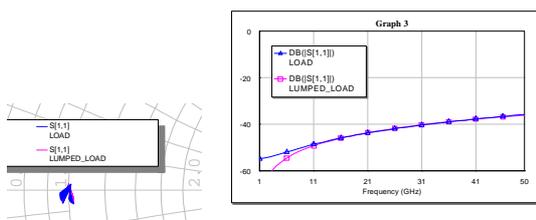


Figure 1.8. Simulated and modeled load standard, Freq=1 to 50 GHz

2. Full 2-Port calibration

2.1 Two-port error model

Full 2-port システムは、図 1.1 に示した One-port 測定システムを二つ持ったものであり、図 2.1 に示すように、順方向/逆方向 (FWD/REV) の測定を行うためにスイッチで切り替える構成としてある。1.1 節と同様の手法でシステムの誤差を改善するためにエラーアダプタを仮定する。12 の誤差を仮定し、その中の六つは主要エラーであり、残りはカップリングによって生ずるエラーであるため、高い方向性をもったカップラ - を使うことで無視することができる。表 2.1 に示すように、FWD/REV 測定で合計 12 の誤差を仮定する。

表 2.1 に示した 12 エラータームを求めることが VNA の校正である。測定値 S_M 、標準器 S_A 、そしてエラータームの関係は、エラーモデルとして表すことができ、それは式 (2.1) - (2.5) となる [5]。式(2.1)と(2.2)は図 2.2 に示した順方向(FWD)測定を表している。式(2.3)と(2.4)は図 2.3 に示した逆方向(REV)測定を表している。

Table 2.1 Two-Port Error Modeling (12-Term error)

	Forward	Reverse
Port 1 Match	e_{11}	e'_{11}
Port 2 Match	e_{22}	e'_{22}
Reflected Frequency Response	$e_{10}e_{01}$	$e'_{23}e'_{32}$
Transmitted Frequency Response	$e_{10}e_{32}$	$e'_{23}e'_{01}$
Directivity	e_{00}	e'_{33}
Leakage	e_{30}	e'_{03}

$$S_{11M} = \frac{b_0}{a_0} = e_{00} + e_{10}e_{01} \frac{S_{11A} - e_{22}\Delta^A}{1 - e_{11}S_{11A} - e_{22}S_{22A} + e_{11}e_{22}\Delta^A} \quad (2.1)$$

$$S_{21M} = \frac{b_3}{a_0} = e_{30} + e_{10}e_{32} \frac{S_{21A}}{1 - e_{11}S_{11A} - e_{22}S_{22A} + e_{11}e_{22}\Delta^A} \quad (2.2)$$

$$S_{22M} = \frac{b'_3}{a'_3} = e'_{33} + e'_{23}e'_{32} \frac{S_{22A} - e'_{11}\Delta^A}{1 - e'_{11}S_{11A} - e'_{22}S_{22A} + e'_{11}e'_{22}\Delta^A} \quad (2.3)$$

$$S_{12M} = \frac{b_0'}{a_3'} = e_{03}' + e_{23}'e_{01}' \frac{S_{12A}}{1 - e_{11}'S_{11A} - e_{22}'S_{22A} + e_{11}'e_{22}'\Delta^A} \quad (2.4)$$

$$\Delta^A = S_{11A}'S_{22A}' - S_{21A}'S_{12A}' \quad (2.5)$$

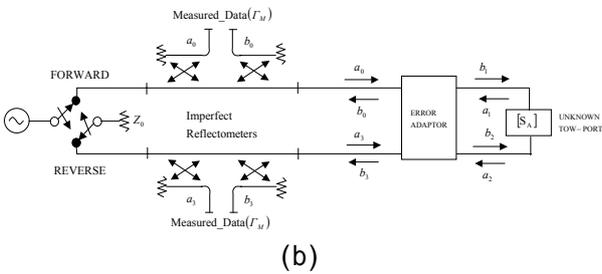
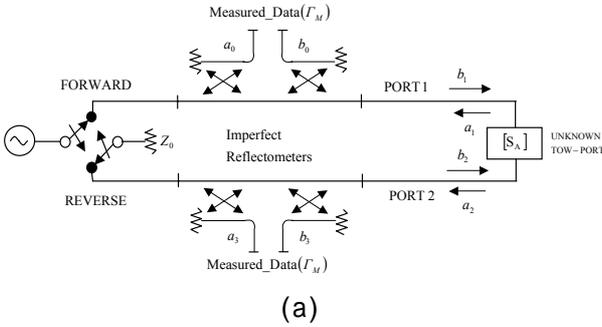


Figure 2.1. Full-two port measurement system

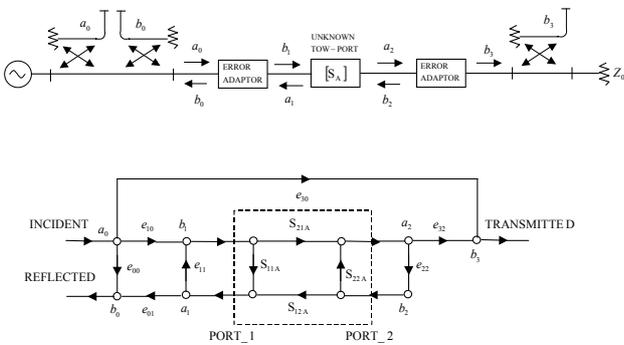


Figure 2.2. Two-port forward flow chart with three measurement ports

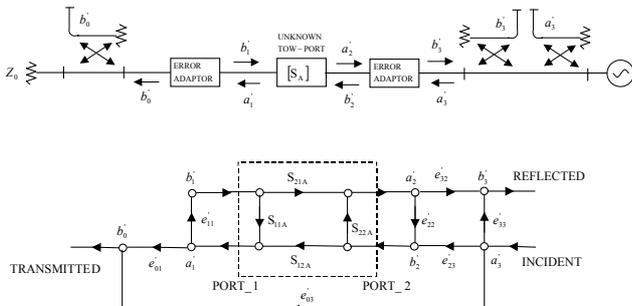


Figure 2.3. Two-port reverse flow chart with three measurement ports

式(2.1)-(2.5)より、エラータームを求めたあと

で校正された2ポートネットワーク測定を実施し、UnknownポートのSパラメータ S_A を求める形に変形することができる。

$$S_{21A} = \frac{1}{D} \frac{S_{21M} - e_{30}}{e_{10}e_{32}} \left\{ 1 + \left(\frac{S_{22M} - e_{33}}{e_{23}e_{32}} \right) (e_{22}' - e_{22}) \right\}$$

$$(2.6)$$

$$S_{11A} = \frac{1}{D} \left\{ \frac{S_{11M} - e_{00}}{e_{10}e_{01}} \left(1 + \frac{S_{22M} - e_{33}}{e_{23}e_{32}} e_{22}' \right) - e_{22} \frac{S_{21M} - e_{30}}{e_{10}e_{32}} \frac{S_{12M} - e_{03}}{e_{23}e_{01}} \right\}$$

$$(2.7)$$

$$S_{12A} = \frac{1}{D} \frac{S_{12M} - e_{03}}{e_{23}e_{01}} \left\{ 1 + \left(\frac{S_{11M} - e_{00}}{e_{10}e_{01}} \right) (e_{11} - e_{11}') \right\}$$

$$(2.8)$$

$$S_{22A} = \frac{1}{D} \left\{ \frac{S_{22M} - e_{33}}{e_{23}e_{32}} \left(1 + \frac{S_{11M} - e_{00}}{e_{10}e_{01}} e_{11}' \right) - e_{11}' \frac{S_{21M} - e_{30}}{e_{10}e_{32}} \frac{S_{12M} - e_{03}}{e_{23}e_{01}} \right\}$$

$$(2.9)$$

where

$$D = \left(1 + \frac{S_{11M} - e_{00}}{e_{10}e_{01}} e_{11}' \right) \left(1 + \frac{S_{22M} - e_{33}}{e_{23}e_{32}} e_{22}' \right) - \frac{S_{21M} - e_{30}}{e_{10}e_{32}} \frac{S_{12M} - e_{03}}{e_{23}e_{01}} e_{22}'e_{11}' \quad (2.10)$$

2.2 フル2ポート校正手順

フル2ポート校正手順は以下の三つのステップで実施する。

1) ポート1と2は1項で示した手法で校正される。これにより、ポート1に対するエラーターム e_{00} , $e_{10}e_{01}$, e_{11} とポート2に対するエラーターム $e_{23}e_{32}$, e_{33} が決定される。ポート1とポート2に対するシグナルフローチャートを図2.4に示す。

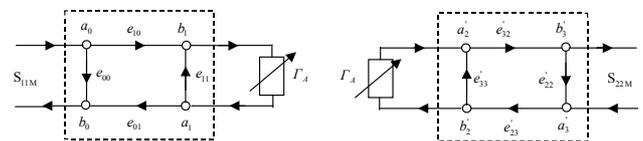


Figure 2.4. One port error term calibration flow chart for the port1 and port2

2) リーケージターム e_{30} と e_{03} は 50- 終端条件における FWD と REV の伝達特性測定値から求めることができる FWD アイソレーションパラメータに対するシグナルフローチャートを図 2.5 に示す。

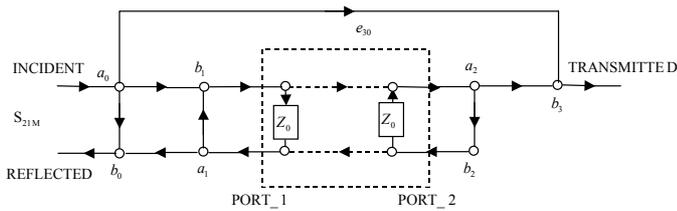


Figure 2.5. Signal flow chart for the FWD isolation parameter

3) ステップ1)によりすでにポート1とポート2が校正されているので、図2.6に示すよう50Ωラインで相互を接続した測定により、ポートマッチ e_{22} と e_{11} が決定される。二つの伝達特性測定値 S_{21M} 、 S_{12M} から $e_{10}e_{32}$ 、 $e_{23}e_{01}$ を解くことができる。

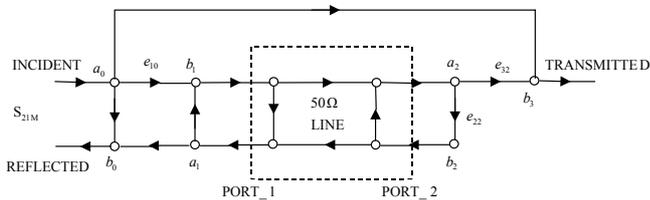


Figure 2.6. Signal flow chart for the FWD transmission parameters

フル2ポート校正では、1章で示したショート、オープン、ロード標準器に加えて50-THRUラインによる標準器が必要である。図2.7にバランス型コプレーナプローブ用に設計した50-THRUライン標準器を示す。設計した標準器は、0-pSecの時間遅延を持つように設計した。

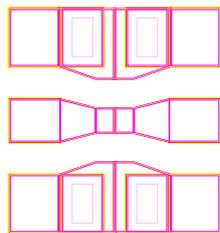
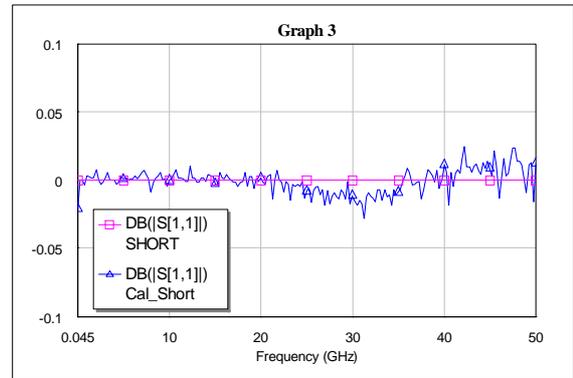


Figure 2.7. Thru standard for the balanced coplanar probes

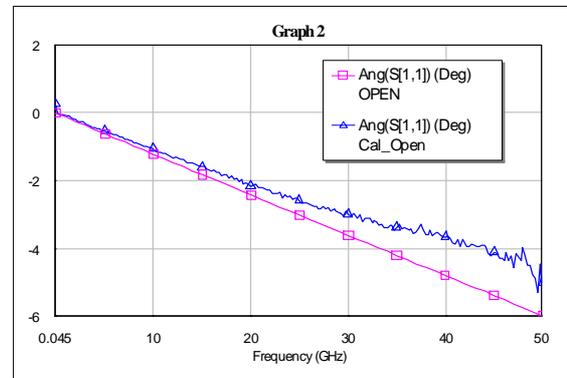
2.3 SOLT キャリブレーションの検証

SLOT 校正実施後、設計した標準器を使ったVNAの校正がいかうまく実施できているかを検証する必要がある。数値的な評価はできないが、校正時に使用した標準器を再測定することで簡易的に検証することが可能であり広く使われている。校正後に標準器を再測定した場合、VNAに設定した標準器の係数と同じ値を示さなくてはならない。図2.8にオープン標準器を使った検証の例を示す。ANAには $C0=3.4fF$ の係数を定義したため、測定結果は小さなキャパシタンスに相当する特性を示さなくてはならない。結果

として、振幅誤差 $\pm 0.02dB$ 、位相誤差 1° 以内で、設定した係数と同様の特性が50GHzまでの周波数範囲で得られた。



(a) Amplitude [dB]



(b) Phase

Figure 2.8. Determination of the open circuits by the full-two port calibration

3. 測定例

3.1 MIM Capacitor

校正標準器の作成と同一の半導体製造プロセスでMetal-insulator-metal (MIM) キャパシタを作成した。レイアウトを図3.1に示す。MIMキャパシタの物理形状は $10.5 \mu m^2$ である。MIMキャパシタは26-pHのインダクタンスを持つビアホールでグランドと短絡されている。図3.2にMIMキャパシタの等価回路を示す。図3.3に測定値とこれを等価回路であらわした計算結果を示す。

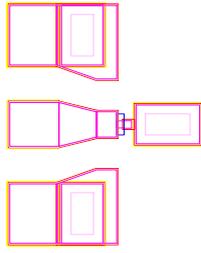


Figure 3.1. MIM capacitor test pattern

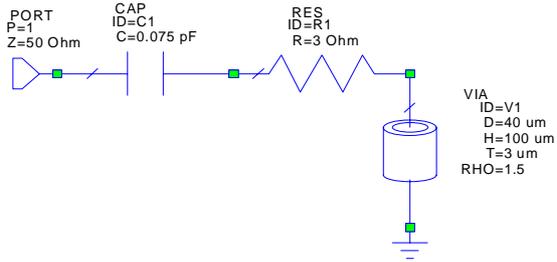


Figure 3.2. Equivalent circuit for the MIM capacitor

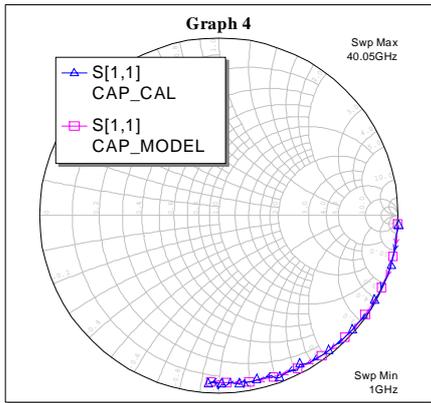


Figure 3.3 Comparison between Measurement and model

3.2 PHEMT

0.15 μ m ゲート長、100 μ m ゲート幅の PHEMT デバイス特性を測定した。図 3.4 にテストパターンを示す。FET の等価回路を図 3.5 に示す。S パラメータ測定は 0.045-40GHz の周波数範囲で実施した。

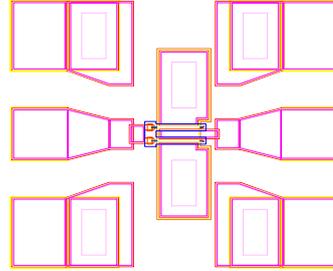


Figure 3.4. Test pattern for the PHEMT devices

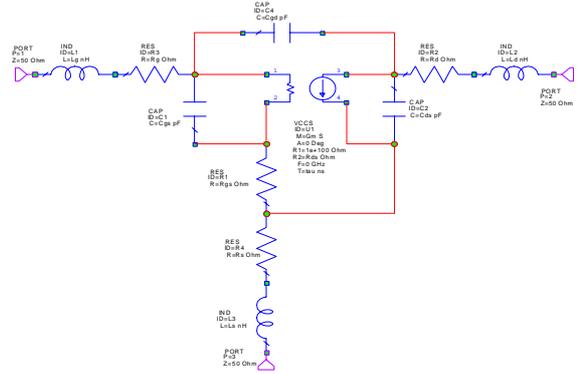


Figure 3.5. Equivalent circuit for the PHEMT devices

4. FET の等価回路モデルパラメータの抽出

4.1 寄生 FET パラメータ

Lg, Ld, Ls, Rg, Rd, Rsなどの寄生パラメータはコールドバイアス条件 (i.e. $V_{ds}=0V$)での測定値から抽出する [6]。コールド条件でのFETは、図 3.5 に示した等価回路に比べると非常に単純な等価回路で表すことができる。この条件では伝達コンダクタンス素子を無視することができる。更に、数GHz以下の周波数ではデバイス特性を抵抗だけで表すことができる。図 4.1 にコールドFET特性を表す等価回路を示す。

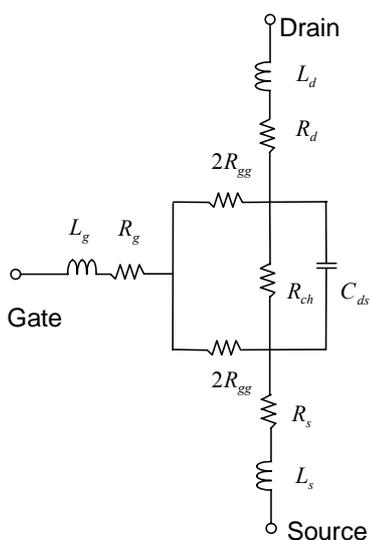


Figure 4.1. Equivalent circuit for the Cold FETs

測定周波数が十分に低い場合、キャパシタンスを無視することができるので、ネットワークのZパラメータは次式で表される。

$$Z_{11} = R_s + R_g + R_a(V_{gs}) + R_b(V_{gs}) + j\omega(L_g + L_s) \quad (4.1a)$$

$$Z_{12} = Z_{21} = R_s + R_a(V_{gs}) + R_b(V_{gs}) + j\omega(L_s) \quad (4.1b)$$

$$Z_{22} = R_s + R_d + 2R_a(V_{gs}) + j\omega(L_d + L_s) \quad (4.1c)$$

R_{gg} と R_{ch} はゲートバイアス依存性がある。バイアス依存性抵抗特性は、

$$R_a(V_{gs}) = 2R_{gg}(V_{gs})R_{ch}(V_{gs})/[R_{ch}(V_{gs}) + 4R_{gg}(V_{gs})] \quad (4.2a)$$

$$R_b(V_{gs}) = 4R_{gg}^2(V_{gs})/[R_{ch}(V_{gs}) + 4R_{gg}(V_{gs})] \quad (4.2b)$$

の式で表す。式(4.1a)から(4.1c)は実数項と虚数項に分離できるため、抵抗に関する問題とインダクタンスに関する問題に分類できる。

Resistance Problem

バイアス条件 V_g でのZパラメータ測定値は式(4.1a) (4.1c)の実数項に関係する。これら三つの式は五つの未知数 $R_s, R_d, R_a, R_{gg}(V_{gs})$, and $R_{ch}(V_{gs})$ を持つ。更に二つの異なるバイアス条件(V_{g2} and V_{g3})での測定結果を使うことで、式(4.3)に示すよう、九つの式と、九つの未知数の問題として扱うことができる。

$$\begin{bmatrix} Z_{11}(V_{gs1}) \\ Z_{12}(V_{gs1}) \\ Z_{22}(V_{gs1}) \\ Z_{11}(V_{gs2}) \\ Z_{12}(V_{gs2}) \\ Z_{22}(V_{gs2}) \\ Z_{11}(V_{gs3}) \\ Z_{12}(V_{gs3}) \\ Z_{22}(V_{gs3}) \end{bmatrix} = \begin{bmatrix} 110100100 \\ 100100000 \\ 101200000 \\ 110010010 \\ 100010000 \\ 101020000 \\ 110001001 \\ 100001000 \\ 101002000 \end{bmatrix} \begin{bmatrix} R_s \\ R_g \\ R_d \\ R_a(V_{gs1}) \\ R_a(V_{gs2}) \\ R_a(V_{gs3}) \\ R_b(V_{gs1}) \\ R_b(V_{gs2}) \\ R_b(V_{gs3}) \end{bmatrix} \quad (4.3)$$

Inductance Problem

寄生インダクタンスは、式(4.1a)-(4.1c)の虚数項を使うことで、測定したZパラメータから求めることができる。

$$L_s = \frac{I_m[Z_{12}]}{\omega} \quad (4.4a)$$

$$L_g = \frac{I_m[Z_{11}] - I_m[Z_{12}]}{\omega} \quad (4.4b)$$

$$L_s = \frac{I_m[Z_{22}] - I_m[Z_{12}]}{\omega} \quad (4.4c)$$

4.2 真性 FET パラメータ

図 4.2 に示すよう、測定したSパラメータは寄生素子の影響を含んでいると仮定している。

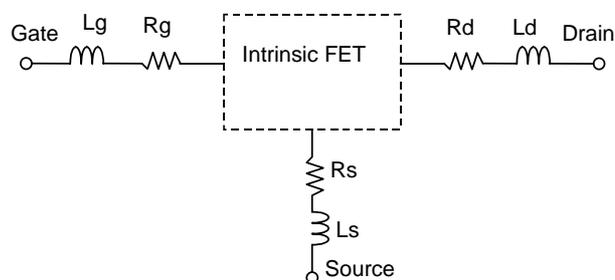


Figure 4.2. Concept for the measured FET

パラメータ抽出の最初のステップは測定した SパラメータをZパラメータに変換することである。Zパラメータを使うことで、寄生素子特性は以下の式で示すように取り除くことが可能で

ある。

$$[Z] = \begin{pmatrix} Z_{11} - R_s - R_g - j\omega(L_g + L_s) & Z_{12} - R_s - j\omega L_s \\ Z_{21} - R_s - j\omega L_s & Z_{22} - R_s - R_d - j\omega(L_d + L_s) \end{pmatrix} \quad (4.5)$$

真性FET特性はy-パラメータを使うことで比較的単純な式で表せることが知られている[7]。図4.3において、ソース接地条件でのyパラメータは

$$\begin{pmatrix} i_1 \\ i_2 \end{pmatrix} = \begin{pmatrix} y_{11} & y_{12} \\ y_{21} & y_{22} \end{pmatrix} \begin{pmatrix} v_1 \\ v_2 \end{pmatrix} \quad (3.6)$$

により与えられる。図4.3の等価回路から真性FETのyパラメータは：

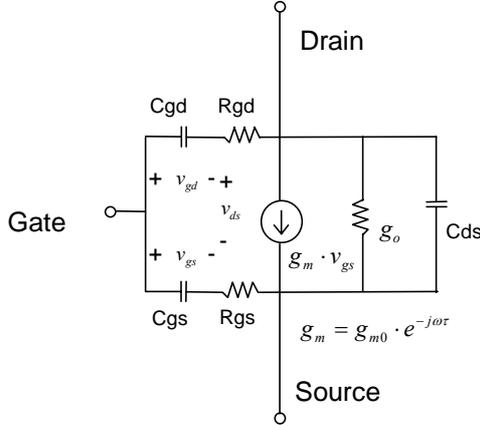


Figure 4.3. Equivalent circuit for the intrinsic FET

$$y_{11} = \left. \frac{i_1}{v_1} \right|_{v_2=0} = \frac{j\omega C_{gs}}{1 + j\omega C_{gs} R_{gs}} + \frac{j\omega C_{gd}}{1 + j\omega C_{gd} R_{gd}} \quad (4.7a)$$

$$y_{12} = \left. \frac{i_1}{v_2} \right|_{v_1=0} = -\frac{j\omega C_{gd}}{1 + j\omega C_{gd} R_{gd}} \quad (4.7b)$$

$$y_{21} = \left. \frac{i_2}{v_1} \right|_{v_2=0} = \frac{g_m}{1 + j\omega C_{gs} R_{gs}} - \frac{j\omega C_{gd}}{1 + j\omega C_{gd} R_{gd}} \quad (4.7c)$$

$$y_{22} = \left. \frac{i_2}{v_2} \right|_{v_1=0} = g_o + j\omega C_{ds} + \frac{j\omega C_{gd}}{1 + j\omega C_{gd} R_{gd}} \quad (4.7d)$$

で与えられる。式(4.7)で示したyパラメータは、

$$1 \gg (\omega C_{gs} R_{gs})^2 \quad (4.8a)$$

$$1 \gg (\omega C_{gd} R_{gd})^2. \quad (4.8b)$$

が成立する周波数範囲では簡単になる。すなわち、

$$y_{11} = (\omega C_{gs})^2 R_{gs} + (\omega C_{gd})^2 R_{gd} + j\omega(C_{gs} + C_{gd}) \quad (4.9a)$$

$$y_{12} = -(\omega C_{gd})^2 R_{gd} - j\omega C_{gd} \quad (4.9b)$$

$$y_{21} = g_m - (\omega C_{gd})^2 R_{gd} - j\omega(C_{gs} R_{gs} g_m + C_{gd}) \quad (4.9c)$$

$$y_{22} = g_o + (\omega C_{gd})^2 R_{gd} + j\omega(C_{ds} + C_{gd}) \quad (4.9d)$$

が得られる。式(4.9)より、真性FETの等価回路要素パラメータをそれぞれ求めると、

$$C_{gd} = -\frac{I_m(y_{12})}{\omega} \quad (4.10a)$$

$$C_{gs} = \frac{I_m(y_{11})}{\omega} - C_{gd} \quad (4.10b)$$

$$C_{ds} = \frac{I_m(y_{22})}{\omega} - C_{gd} \quad (4.10c)$$

$$R_{gd} = R_e \left(\frac{1}{y_{11} + y_{12}} \right) \quad (4.10d)$$

$$R_{gs} = -R_e \left(\frac{1}{y_{12}} \right) \quad (4.10e)$$

$$g_o = R_e (y_{12} + y_{22}) \quad (4.10f)$$

$$g_m = R_e (y_{21} - y_{12}) \quad (4.10g)$$

が得られる。 g_m の遅延時間を考慮する場合、 $g_m = g_{m0} \cdot \exp(-j\omega\tau)$ と表され、式(4.9c)は、

$$y_{21} = g_{m0} - (\omega C_{gd})^2 R_{gd} - j\omega \{ C_{gd} + g_{m0} (C_{gs} R_{gs} + \tau_t) \} \quad (4.11)$$

となる、ここで τ_t は g_m の展開項により定義され、

$$g_m = g_{m0} - j\omega\tau_t g_{m0} - \omega^2 \tau_t^2 g_{m0} + \dots \quad (4.12)$$

となる。式(4.11)から、

$$\tau_i = \frac{-\text{Im}(y_{21}) + C_{gd}}{\omega} - R_{gs} C_{gs} \quad (4.13)$$

により求めることができる。式(4.10a)-(4.10g)を使うことで、yパラメータより小信号等価回路要素が求められるが、測定したSパラメータ特性をより正確にモデリングするためには小信号等価回路要素パラメータを最適化する必要がある。最適化手順における等価回路特性と測定値とのフィッティングの度合いを表現するために、以下に示すエラータームを定義した。

$$E_{ij} = \frac{|S_{ij}^k \text{ meas} - S_{ij}^k \text{ mod}|}{|S_{ij}^k \text{ meas}|} \quad (4.14)$$

等価回路要素パラメータ抽出は、エラータームが最小になるように実施した。100um PHEMTの最適化後のエラータームの周波数特性を図4.4に示す。抽出したパラメータを表4.1に示す。測定値とモデルで表したSパラメータ特性を図4.5に示す。評価結果からモデルは測定値を正確に表していることがわかる。

Table 4.1. PHEMT equivalent circuit elements

Lg=0.052nH	Ld=0.03nH	Ls=0.0007nH
Rg=3.7 Ω	Rd=3.5 Ω	Rs=3.5 Ω
Cgs=0.08pF	Rgs=3.4Ω	Tau=0.48pSec
Cgd=0.014pF	Rds=299Ω	Gm=63.4mS
Cds=0.0197pF		

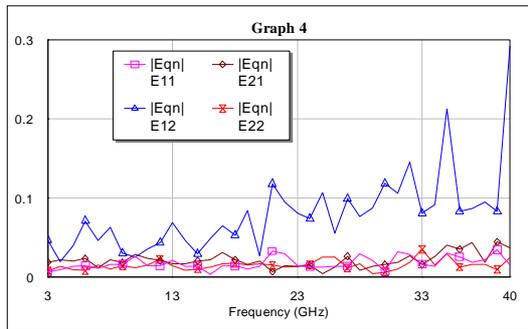
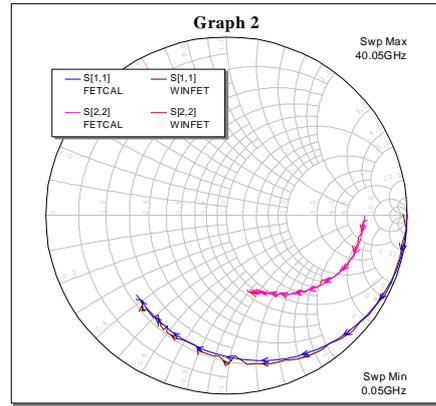
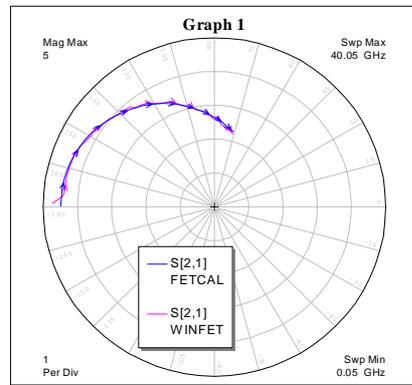


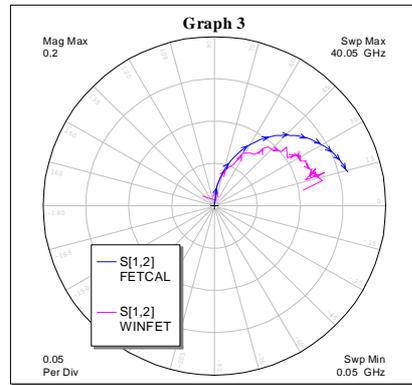
Figure 4.4. Error terms vs. Frequency performance for the 100-um PHEMT



(a) S11 and S22



(b) S21



(c) S12

Figure 4.5. Measured and calculated S-parameters for the 100um PHEMT device at Vds=5V, Vgs=-0.5V.

5. Conclusion

この論文では VNA のフル 2 ポート校正の基本的な理論を説明した。GaAs MMIC プロセスを使用した、SLOT 校正のための標準器の設計例を示した。実際の PHEMT 及び MIM キャパシタの測定例及び等価回路要素パラメータ抽出手法を示した。これらの説明から、高精度なマイクロ波回路設計を実現するためには、高精度な測定が不可欠であり、さらに高い精度で等価回路要素パラメータを抽出することの重要性を説明した。

References

- [1] Rytting, D. *An analysis of vector measurement accuracy techniques*, Hewlett-Packard RF and Microwave Symp., 1980.
- [2] Mason, S. J. "Feedback theory-some properties of signal flow graphs," *proc. IRE*, 41, pp. 1144-1156, 1953.
- [3] Chow, Y, and Cassagnol, E. *Linear Signal Flow Graphs and Applications*, Wiley, New York, 1962.
- [4] Kuhn, N. "Simplified signal flow graph analysis," *Microwave Journal*, 6, pp.59-66, November 1963.
- [5] Hand, B. P. "Developing accuracy specifications for network analyzer systems," *Hewlett Packard J.*, 21 (6), pp.16-19, February 1970.
- [6] Mike G, Warren S, and Dave, H, "Spreadsheet program extracts transistor parasitic elements," *Microwave and RF*, pp. 67-73, October 1992.
- [7] R.A. Minasian, "Simplified GaAs FET Model to 10GHz," *Electron. Lett.*, Vol. 13, No. 8, 1977, pp. 549-551.