

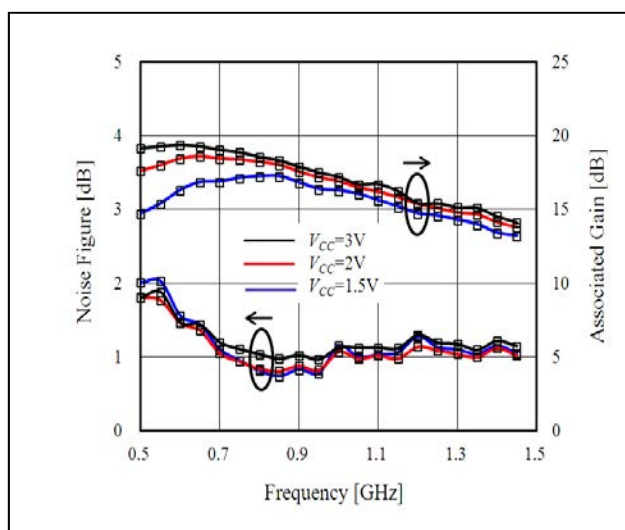
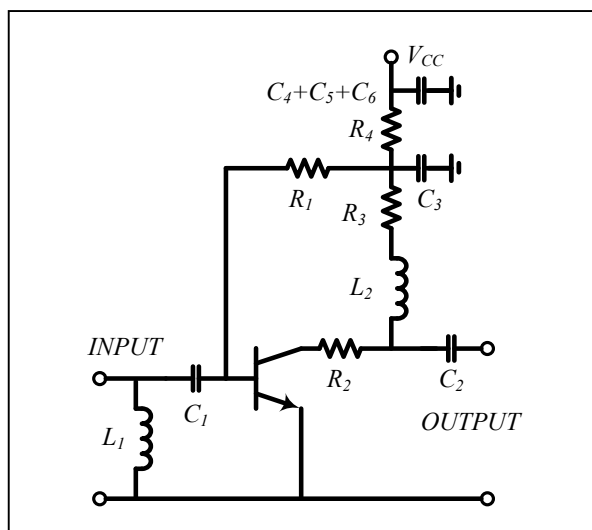
シリコントランジスタを用いた低雑音増幅器の設計

Design of Low-Noise Amplifiers Using Si Transistors

伊藤 康之[†]Yasushi ITOH[†][†] 湘南工科大学 工学部

概要

シリコントランジスタを用いた低雑音増幅器の設計、試作、評価について述べる。まず代表的なエミッタ接地トランジスタを用いた低雑音増幅器の回路構成のプロセスについて紹介する。つぎに雑音整合について、トランジスタのモデリング方法、雑音が最小になるための回路構成と回路素子値の求め方について述べた後に、マイクロ波回路シミュレータを用いた回路シミュレーションを紹介する。今回はプリント基板(Printed Circuit Board)と面実装部品で回路を構成するので、基板のレイアウト図、実装図の作成方法、具体的な実装方法を述べる。最後にSパラメータ、雑音指数、IIP₃(3rd Order Intercept Point)測定方法を紹介する。トランジスタとしては f_t が25GHzの0.35 μm SiGe HBT、回路素子は1005タイプのチップ部品、回路基板はFR-4基板を使用する。低雑音増幅器の通信機器への応用を想定し、L帯で動作するものを取り上げ、回路設計は(1)低雑音、(2)低消費電力、(3)高IIP₃を目標とする。低雑音、低消費電力、高IIP₃はすべてトレードオフの関係にあり、同時に目標を満たす解を見つけるのは難しい。ここでは入力側を雑音整合、出力側を高IIP₃、高安定に設計した例を紹介する。



Abstract

Design, fabrication and performance of the low-noise amplifiers using Si transistors are presented in this paper. First of all, the design process to achieve low-noise performance is introduced in terms of schematic layout, device modeling, noise matching and circuit element values extraction. Then the circuit simulation for low-noise performance is graphically shown. Since the low-noise amplifier presented here utilizes printed circuit boards and surface-mount type chip elements, the circuit layout and actual fabrication method are introduced. And finally, S-parameters, noise and IIP₃ measurements are shown by using the schematic diagram of the measurement setups. As a design example, the L-band low-noise amplifiers using 0.35 μm SiGe HBTs for use in the communication equipment are presented, focusing on the tradeoff between low-noise, low power consumption and high IIP₃.

1. はじめに

シリコントランジスタを用いた低雑音増幅器の設計の基本はアナログ集積回路[1]にある。トランジスタ、集中定数素子、接地方式、Hパラメータ、電圧・電流増幅率、入出力抵抗、スパイスモデル、時間領域解析などのアナログ集積回路の技術をもとに設計される。また低周波帯ではオペアンプ[2]が多用されるので、差動増幅回路[3]の知識も必要になる。

マイクロ波など高周波帯においては、アナログ集積回路の技術はそのまま用いることができないので、回路素子の評価やモデリング、回路解析方法、レイアウトや実装方法、測定方法は高周波帯に合わせていく必要がある[4]。ここではアナログ集積回路の基礎を高周波帯へ展開することを念頭において、エミッタ接地トランジスタを用いたマイクロ波帯での低雑音増幅回路の設計、試作、評価方法を紹介する[5]。

2. 増幅回路の構成

エミッタ接地トランジスタを用いた低雑音増幅回路を図1に示す。まずトランジスタの接地方式として、高利得で低雑音な特性が得られるエミッタ接地を選んだ。広帯域特性を得たい場合にはベース接地、利得は無いが出力負荷変動を受けないためにはコレクタ接地（エミッタフォロワ）を選択する。

回路素子の役割を説明する。入力回路の L_1 と C_1 は雑音整合するための回路素子で、抵抗を用いないので入力側はリアクティブ整合である。回路構成は最小雑音指数を与えるインピーダンスがどこにあるかによって回路構成が異なる。ここでは 20mS のコンダクタンス円の内側の領域にあると考え、Series C, Shunt L の構成を採用している[5]。また抵抗 R_1 はベースバイアス供給用抵抗で高抵抗なので雑音性能には影響を与えない。出力回路は増幅回路の安定化のために抵抗 R_2 と R_3 を採用した。インダクタ L_2 は周波数により抵抗の見え方を変え、出力整合と IIP_3 の改善を図った。 C_3 と $C_4+C_5+C_6$ はバイパス用コンデンサであり、帯域内で C_3 が短絡、低周波帯で $C_4+C_5+C_6$ が短絡になるように設計している。 C_2 はデカップリング用コンデンサである。

回路設計で重要なのはなぜ図1の回路構成に至ったのかということである。図2に回路設計のプロセスを示した。まず図2(a)からスタートする。トランジスタは3端子デバイスであるためどれかひとつの端子を接地する必要がある。上述したように、ここでは高利得・低雑音の点でエミッタ接地を選んだ。また負荷変動の影響を小さくするためには、エミッタ接地トランジスタの後にコレクタ接地トランジスタを接続しても良い。

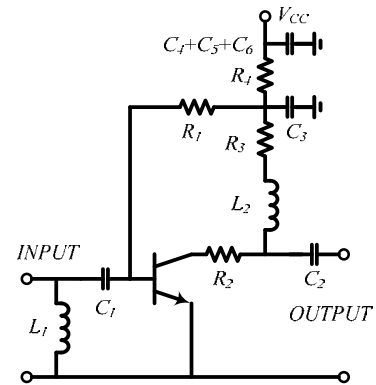


図1 エミッタ接地トランジスタを用いた低雑音増幅回路

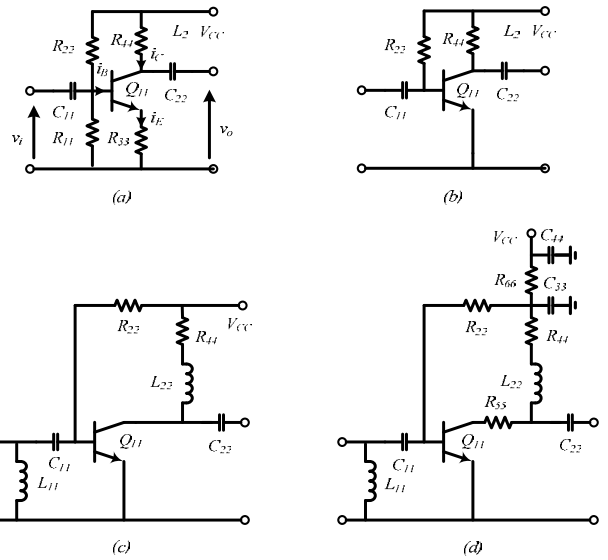


図2 回路設計のプロセス

図2(a)において、 R_{33} が帰還抵抗、 R_{44} が負荷抵抗、 R_{11} と R_{22} はベースバイアス抵抗である。 C_{11} と C_{22} はデカップリングコンデンサである。入力電圧を V_i 、出力電圧を V_o とすると、トランジスタのベースに V_i の電圧がかかり、ベース・エミッタ間は交流的に短絡なのでエミッタに V_i の電圧がかかる。

従って、エミッタ電流 i_E

$$i_E = \frac{V_i}{R_E} \quad (1)$$

が流れる。コレクタ電流 i_C 、ベース電流 i_B 、エミッタ電流 i_E は次の関係があり、ベース電流が極めて小さいので、

$$i_C = i_E - i_B \approx i_E \quad (2)$$

と書ける。従って、電圧利得 G_V は

$$G_V = \frac{V_o}{V_i} = \frac{R_{44} i_C}{R_{33} i_E} = \frac{R_{44}}{R_{33}} \quad (3)$$

で与えられる。電圧利得 G_V は式(3)のように抵抗の比で決まる。利得を高くするためには帰還抵抗 R_{33} をゼロにして、トランジスタを利得の高い h_{fe} 動作にする。これを図 2(b)に示す。トランジスタのベース・エミッタ間のオン電圧は物理的に決まっているので、図 2(b)ではベースバイアス抵抗 R_{11} を除去した。図 2(b)の等価回路を図 3 に示す。入力側がベースバイアス抵抗 R_{22} とトランジスタの入力抵抗 h_{ie} の並列回路、出力側はトランジスタの出力コンダクタンス h_{oe} と負荷抵抗 R_{44} の並列回路で表現される。図 3 の等価回路の電圧利得 G_V は

$$G_V = \frac{v_o}{v_i} = \frac{i_C \left(\frac{R_{44}}{1 + h_{oe} R_{44}} \right)}{i_B \left(\frac{R_{22}}{1 + R_{22}/h_{ie}} \right)} = h_{fe} \frac{R_{44} (1 + R_{22}/h_{ie})}{R_{22} (1 + h_{oe} R_{44})} \quad (4)$$

で与えられる。入出力回路を 50Ω で完全整合とると、式(4)よりトランジスタは利得の高い h_{fe} 動作になる。

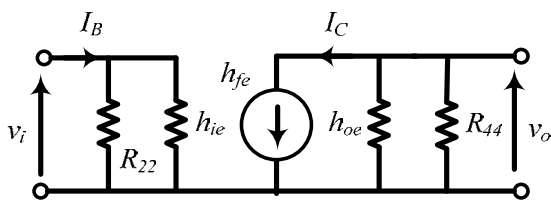


図 3 図 2(b)の等価回路

これまでは低周波帯での設計でつぎに高周波帯の設計に移る。高周波帯では入力側は単なるインピーダンス整合ではなく、雑音整合すなわち雑音が最小になるように設計する。入力回路は最小雑音指数を与えるインピーダンスと共役のインピーダンスと 50Ω との変換回路から構成される。最小雑音指数を与えるインピーダンスと共役のインピーダンスがどこにあるかによって回路構成が異なり、図 2(c)ではトランジスタから入力端子に向かって Series C, Shunt L の構成を採用している。また出力側は高周波帯でイ

ンピーダンス整合をとるために負荷抵抗 R_{44} に直列にインダクタ L_{22} を装荷した。周波数が低いうちは抵抗 R_{44} が見えるが、周波数が高くなるにつれて抵抗 R_{44} が見えなくなり、高利得、高 IIP₃ が得られる。最後に全周波数帯での安定化のために R_{55} 、特に低周波帯での安定化のために R_{66} を追加した。これを図 2(d)に示す。 R_{55} はトランジスタに直列に接続するため全周波数帯で利得を抑え、安定化に貢献する。一方、バイパスコンデンサ C_{33} を高周波帯で短絡、 C_{44} を低周波帯で短絡するように設計しているので、 R_{66} は低周波帯での回路の安定化に寄与する。最終的に回路記号は異なっているが、図 2(d)の回路は図 1 の回路になる。

3. 回路素子の値の求め方

低雑音増幅器の場合、雑音特性は入力側の整合でほとんど決まってしまうので、通常入力側は雑音整合をとる。図 4 に示すように、トランジスタのベース端からトランジスタを見たインピーダンスが雑音を最小にするインピーダンス (反射係数) Γ_{opt} であったとする。そうするとベース端から入力回路を見たインピーダンス (反射係数) Γ_S は次式を満たす必要がある。

$$\Gamma_S = \Gamma_{opt}^* \quad (5)$$

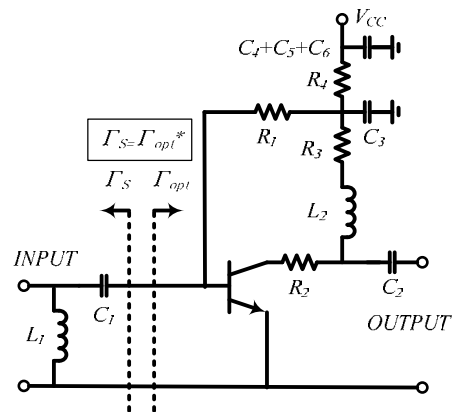


図 4 雑音整合

入力回路は Γ_S から 50Ω へのインピーダンス変換回路になる。インピーダンス変換の回路を 2 素子で構成する場合、 Γ_S がスミスチャートのどの領域に位置するかによって大きく異なる。この例では 20mS のコンダクタンス円の内側の領域にあると考え、図 5 の回路構成を採用している。

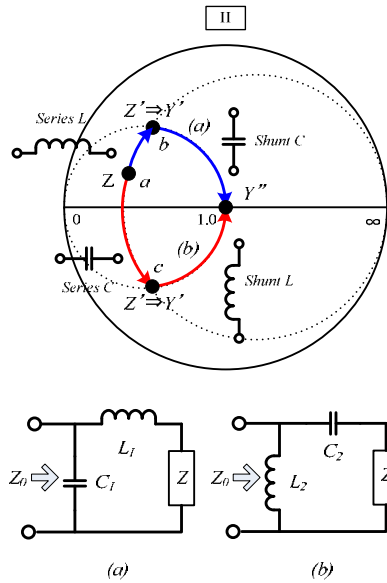


図5 インピーダンス整合の様子

雑音を最小にするインピーダンスすなわち最適負荷インピーダンスが $Z=R+jX$ であった場合に、図5の L_2, C_2 を求める計算式を式(6)および(7)、フローチャートを図6、ソースプログラムおよび計算結果を図7に示す[5]。最適負荷インピーダンスは測定および雑音モデルより $Z=30.618-j22.77 @ 1\text{GHz}$ とした。これを用いて計算すると、図5より $L_2=10\text{nH}, C_2=100\text{pF}$ が得られた。なお L_2, C_2 を求める計算プログラムはMicrosoft社 Visual Studio 2010 Professionalで作成した。なお図4と図5において、インダクタとキャパシタの記号が異なっているが、同じものである。

$$L_2 = -\frac{1}{\omega} \cdot \frac{R^2 + \left(X - \frac{1}{\omega C_2}\right)}{X - \frac{1}{\omega C_2}} \quad (6)$$

$$C_2 = \frac{1}{\omega \left(X \pm \sqrt{Z_0 R - R^2}\right)} \quad (7)$$

```

#include<stdio.h>
#include<math.h>
#define PI 3.141592
int main(void){
    double f,R,X,L2,C2a,C2b,C2,omega;
    double Z0=50.0;
    double a,b;
    /* Input Data */
    printf("Input real and imaginary parts of the optimum impedance : ");
    scanf("%lf %lf",&R,&X);
    printf("Z= %f +j %f [ohm]\n",R,X);
    printf("Input a frequency [GHz] : ");
    scanf("%lf",&f);
    /* Calculation */
    omega=2*PI*f*1e8;
    a=sqrt(Re(Z0-R));
    C2a=1/(omega*(X+a));
    C2b=1/(omega*(X-a));
    b=X-1/(omega*C2b);
    C2=C2b;
    L2=-((pow(R,2)+pow(b,2))/(omega*b));
    if(L2<0){
        b=X-1/(omega*C2a);
        L2=-((pow(R,2)+pow(b,2))/(omega*b));
        C2=C2a;
    }
    printf("L2=%f [nH]\n",L2*1e8);
    printf("C2=%f [pF]\n",C2*1e12);
    return (0);
}

```

図7 L_2, C_2 を求めるソースプログラムおよび計算結果

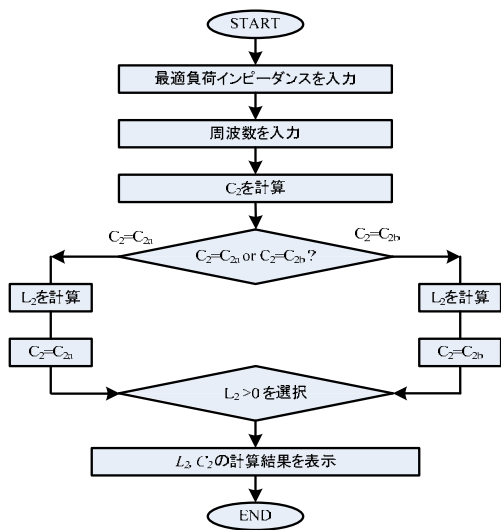


図6 L_2, C_2 を求める計算フローチャート

4. 回路シミュレーション

回路シミュレーションは図7の結果をもとに、まず理想的な集中定数素子を用いた場合について行い、つぎに高周波特性を考慮した素子を用いた場合について行った。使用する回路素子は高周波帯でモデリングすることが望まれるが、もし難しい場合には直接測定したSパラメータを使用する。

回路シミュレータとしてAgilent ADS 2011を用いた。回路シミュレーションは図1の回路構成、表1の回路素子値に対して行った。トランジスタは東芝製 $0.35\mu\text{m}$ SiGe HBT (MT4S102T)を用い、スパイスモデルパラメータは数が多いので文献[5]を参照された。抵抗、インダクタ、キャパシタは理想的な値を用いた。回路シミュレーションに用いたスキマ図を図8に、またシミュレーション結果を図9に示す。

表 2 回路素子の値

| 記号 | 値 |
|-------|---------------|
| R_1 | 10 k Ω |
| R_2 | 1 Ω |
| R_3 | 33 Ω |
| R_4 | 100 Ω |
| L_1 | 12 nH |
| L_2 | 8.2 nH |
| C_1 | 100 pF |
| C_2 | 1000 pF |
| C_3 | 1000 pF |
| C_4 | 0.1 μ F |
| C_5 | 0.1 μ F |
| C_6 | 0.1 μ F |

図 9 の結果より、周波数 1GHz 近傍で入出力の反射損失が 10dB 以上とれており、かつ赤色の利得が青色の最大有能電力利得にほぼ一致していることより、インピーダンス整合がとれているのがわかる。また周波数 1GHz 近傍で赤色の雑音指数が青色の最小雑音指数にほぼ一致していることより、雑音整合がとれているのがわかる。さらに安定係数 K ファクタも 1 以上であることより、どのような負荷が接続されても絶対安定であることを示している。なお安定係数はどの周波数で不安定になるかわからないので、できるだけ広い周波数範囲で計算する必要がある。

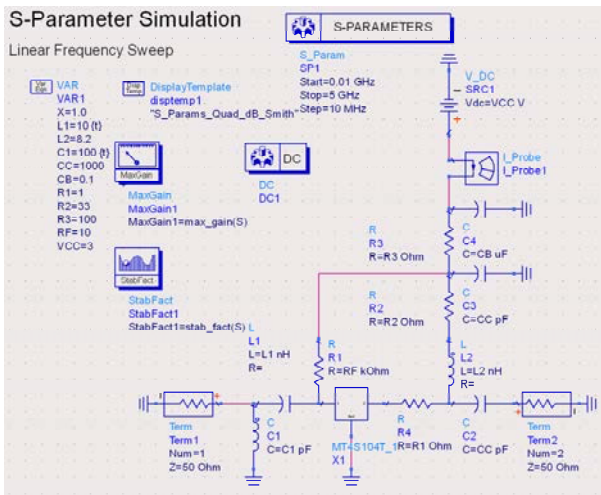


図 8 スケマ図 (理想的な値を用いた場合)

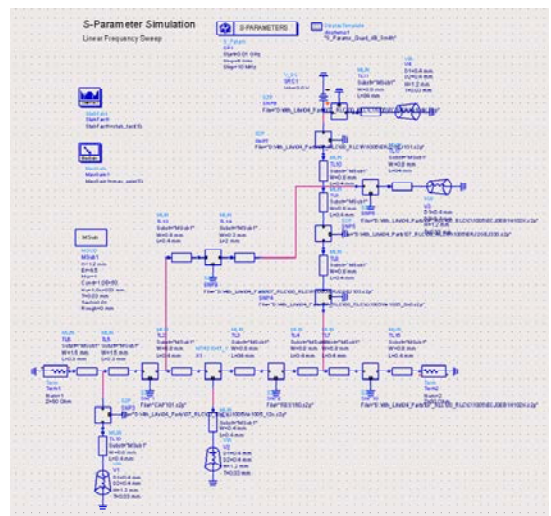


図 10 スケマ図 (実際に使用する部品のデータを用いた場合)

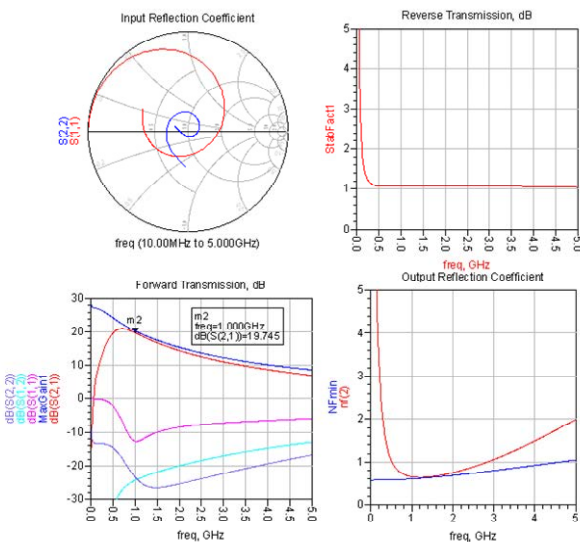


図 9 回路シミュレーション結果 (理想的な値を用いた場合)

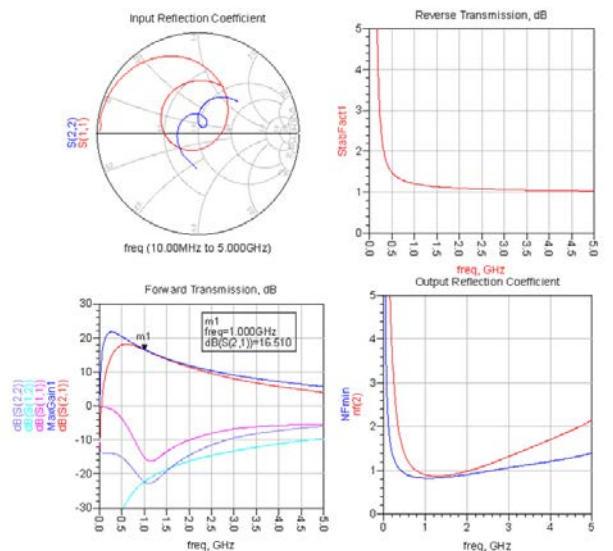


図 11 回路シミュレーション結果 (実際に使用する部品のデータを用いた場合)

次に実際に使用する FR-4 の基板、1005 タイプの電子部品、基板用 SMA コネクタを用いた場合について回路シミュレーションを行った。スキーマ図を図 10 に、回路シミュレーション結果を図 11 に示す。図 9 と図 11 を比較すると、実際に使用する基板、電子部品には損失があるので、利得、雑音指数ともに劣化しているのがわかる。逆に反射損失や K ファクタが改善されている。また実際の基板や電子部品のデータを入れても、インピーダンス整合、雑音整合の条件が崩れていないのがわかる。

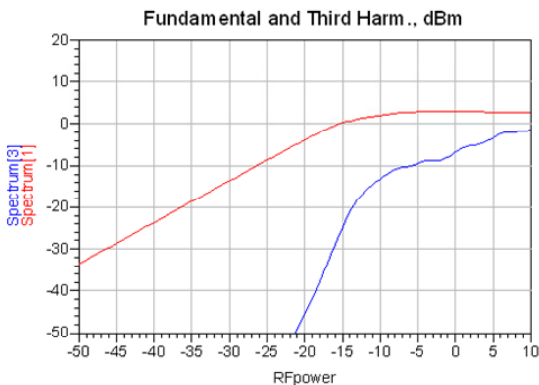


図 12 シングルキャリアを印加した場合の入出力特性の計算結果

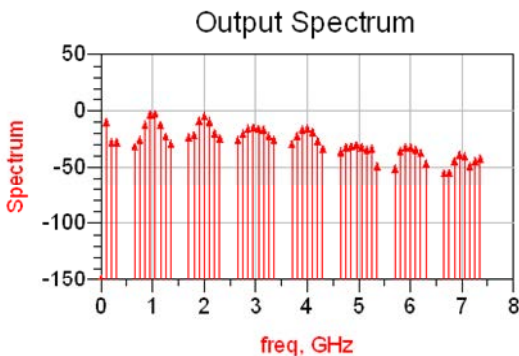


図 13 周波数間隔が 100MHz のキャリア付近の 2 波の信号を印加した場合の出力信号の周波数スペクトルの計算結果

さらにパワー特性として、シングルキャリアを印加した場合の入出力特性の計算結果を図 12 に示す。横軸に入力電力、縦軸に基本波と 3 倍波の出力電力をプロットしている。キャリア周波数は 1GHz である。出力電力が 0dBm を超えたあたりから、利得圧縮が起こっているのがわかる。また出力電力が 0dBm の前あたりから 3 倍波が出始めている。つぎに周波数間隔が 100MHz の 2 波のキャリア周波数付近の信

号を印加した場合の出力信号のスペクトルの計算結果を図 13 に示す。図 13 は入力電力一定の条件での出力信号のスペクトルを表示している。入力した 2 波の信号の近傍に 3 次、5 次、7 次ひずみが表れており、さらにそれらの 2 倍、3 倍、4 倍・・・の高調波も比較レベルが高く表れているのがわかる。

5. 回路レイアウト

図 8 から図 13 の回路シミュレーション結果に基づき、レイアウト図を作成した。Autodesk 社 AutoCAD 2009 LT で作成したレイアウトを図 14 に示す。図 14 はサイズが $12 \times 8 \times 1.2 \text{ mm}^3$ の FR-4 単層基板のレイアウトの例である。表面は配線パターンとレジスト、裏面はベタパターンとレジスト、基板の数か所にスルーホールを設けた FR-4 単層基板を用いている。図 14 は 6 層のレイアウトを同時に重ね合わせて表示しており、各層を線の色で区別している。各層の色の情報は以下の通りである。

- (1) 表面レジスト (緑色)
- (2) 表面パターン (黒色)
- (3) 基板 (紫色)
- (4) スルーホール (赤色)
- (5) 裏面パターン (茶色)
- (6) 裏面レジスト (水色)

図面左下の X, Y の矢印の交点が寸法の基準の位置で、最小ステップ $10 \mu\text{m}$ でグリッドとスナップを聞かせて描画している。図面の右側に基板やメタライズの要求仕様を記述している。配線、レジストについてはどの部分を残すのか、どの部分を剥離するのか明記する。スルーホールは壁面のメタルについて、また金属充填する場合には仕様を明記する。

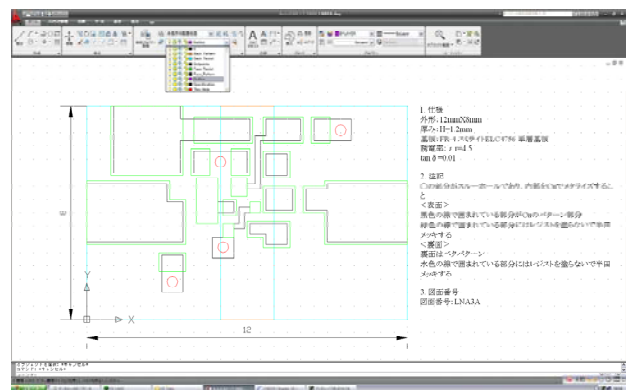


図 14 レイアウト図

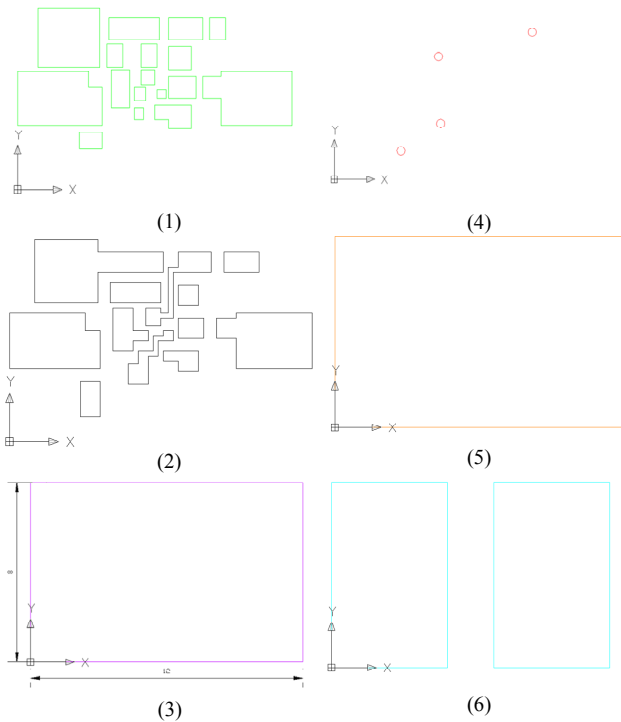


図 15 各層のレイアウト図面

各層のレイアウト図面を図 15 に示す。図中の(1)から(6)は上記した表面レジスト（緑色）から裏面レジスト（水色）に相当する。各層のレイアウトの管理は Autodesk 社 AutoCAD 2009 LT のメニューバーの画層のプロパティのボタンで選択することができる。各レイヤーに色が割り当てられ、名称を付けた後、表示/非表示、ロック/アンロック、編集可能/不可能を選択しながらレイアウト図面を描いていく。なお図 14 ではレイヤー”0”とレイヤー”Defpoints”は使用していない。寸法は図面から自動的に読めるが、念のため基板の層に外形寸法を記入する。また同じく基板の層に基板、メタライズ、スルーホールなどに関する仕様を明記する。また半導体や集積回路のマスク作成用 CAD と違って、デザインルールチェック (DRC)機能が無いので、何度も各層のレイアウトを単独または重ね合わせながらチェックを行うことが必要である。

6. 実装方法

低雑音増幅器の実装フローを図 16 に示す。回路図に基づき実装図を作成することから始めて、最終的に出来上がったものを目視検査までの流れを示している。まずスタートは回路に基づき実装図面を作る。手動実装の場合は、(1)部品の取り違えること、(2)部品の配置を間違えることを避けるために、必ず実装図面を作成する。

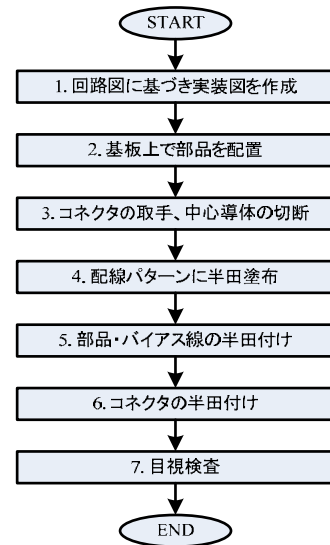


図 16 低雑音増幅器の実装フロー

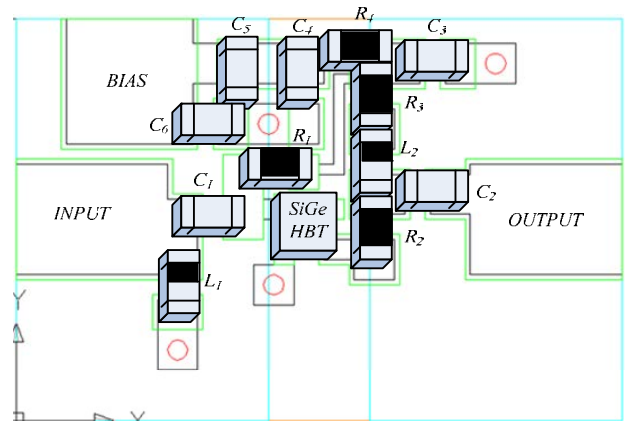


図 17 低雑音増幅器の実装図

図 1 および表 1 に示した低雑音増幅器の実装図を図 17 に示す。図面は図 14 の全体図を用い、図中に部品を配置するようにすると便利である。基板の左側を入力、右側を出力とし、バイアスは上側のパッドから供給する。部品の配置はまずトランジスタについて、ベース端子が入力側、コレクタ端子が出力側になるように配置する。エミッタ端子はスルーホールを介して接地されているか確認する。他の電子部品は極性が無いので、図 1 の回路図に従って置いていく。配置が決まったら図 1 の回路図と比べて間違いが無いチェックする。

実装図が完成したら次は増幅器の組み立てに入り、まず(1)基板の配線する部分に半田を盛り、(2)チップ部品を配置・半田付け、(3)コネクタを接続、(4)バイアス線の半田付け、(5)目視検査をして実装を終了する。低雑音増幅器の外観写真を図 18 に示す。

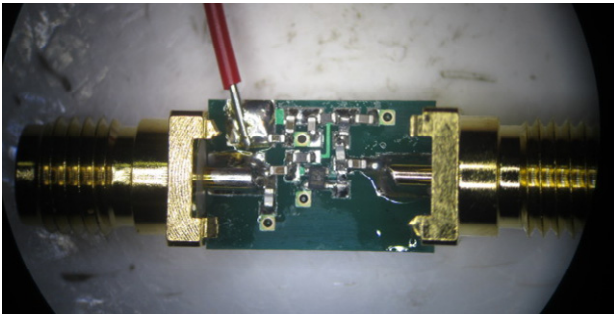


図 18 低雑音増幅器の外観写真

7. 測定

低雑音増幅器の代表的な測定項目として(1)Sパラメータ測定, (2)NF測定, (3)IIP₃測定がある。以下、測定方法と測定結果を示す。

(1) Sパラメータ測定

図18の増幅器において測定の基準面をどこにするかによって、Sパラメータ測定結果の加工が必要になる。図19にSパラメータを測定するフィクスチャの例を示す。フィクスチャは基板上に面実装デバイスをマウントし、面実装デバイスと基板の両端に接続したSMAコネクタを50Ωのマイクロストリップ線路で接続する構造になっている。ネットワークアナライザでSパラメータを測定する際の基準面はコネクタ部分になるため、フィクスチャの特性を含んだ形でSパラメータが測定される。もし基準面をデバイス端面に設定したい場合は、フィクスチャの影響を除去する必要がある。フィクスチャの影響を除去する代表的な方法に(a)ディエンベディング、(b)SOLT、(c)TRLの方法がある[5]。

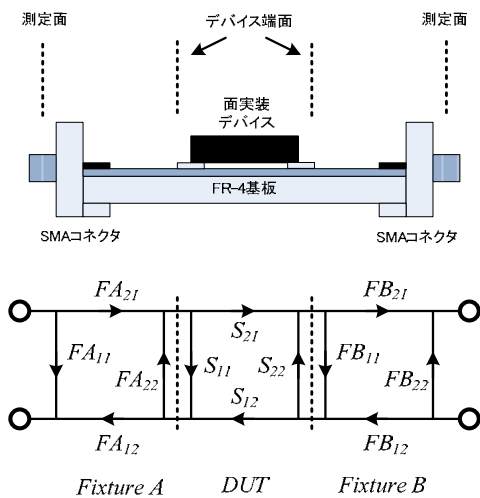


図 19 テストフィクスチャの例

シリコントランジスタを用いた低雑音増幅回路の反射特性 S_{11} と S_{22} 、通過特性 S_{21} 、アイソレーション特性 S_{12} の測定結果図 20 に示した。図 11 の回路シミュレーション結果と比較すると、ほぼシミュレーション通りの性能が得られているのがわかる。

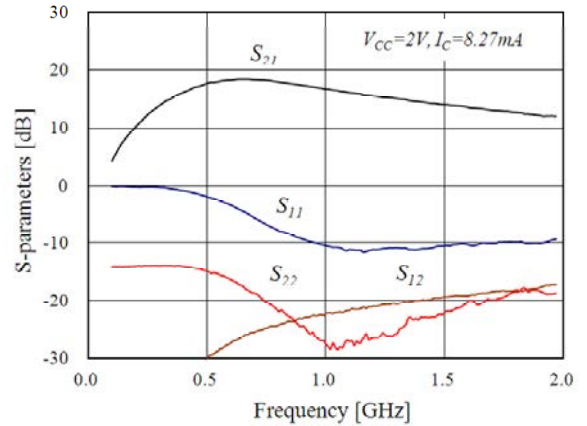


図 20 Sパラメータの測定結果

(2) NF測定

トランジスタの雑音測定はアバランシェノイズダイオード(Avalanche Noise Diode)をオン・オフさせてトランジスタから得られる雑音電力を測定することにより行われる。雑音測定はノイズダイオードをオン (hot 状態) またはオフ (cold 状態) にして測定を行うことより hot/cold 測定と呼ばれる。代表的な雑音測定には(1)NFメータを用いた雑音測定と(2)雑音電力を直接測定する Y-Factor 法がある。通常は(1)の方法が用いられるが、特に雑音指数が 1 dB 以下の低雑音デバイスに対しては、測定精度が高い(2)の Y-factor 法が用いられる。ここでは一般的に広く用いられている(1)NFメータを用いた雑音測定について説明する。

NFメータを用いた雑音測定のブロック図を図 21 に示す。雑音源にはノイズダイオードから構成されたノイズソース(Noise Source)が用いられる。雑音測定はノイズダイオードをオン(T_h)、オフ(T_c)させて行われるが、ノイズソースは通常 T_h の代わりに ENR(Excess Noise Ratio)で雑音特性を表現する。ここで T_h , T_c は雑音温度であり、雑音電力をから換算される。ENR は

$$ENR[dB] = 10 \log \left(\frac{T_h - T_c}{T_o} \right) \quad (8)$$

で定義される。ここで T_0 は基準の温度で 298K、16.8°C である。このように雑音は熱雑音に起因するように温度で表現する。ノイズソースは周波数帯によって種類が異なるが、基本的に 10 MHz から 110 GHz までの帯域をカバーしており、その周波数帯で ENR が測定されている。NF メータは受信できる周波数帯が約 2 GHz までであるため、通常のマイクロ波帯では図 21 に示すようにミキサ、局部発振器、RF および IF 増幅器から構成されるダウンコンバータを用いて IF 周波数を 2 GHz 以下に変換して用いる。

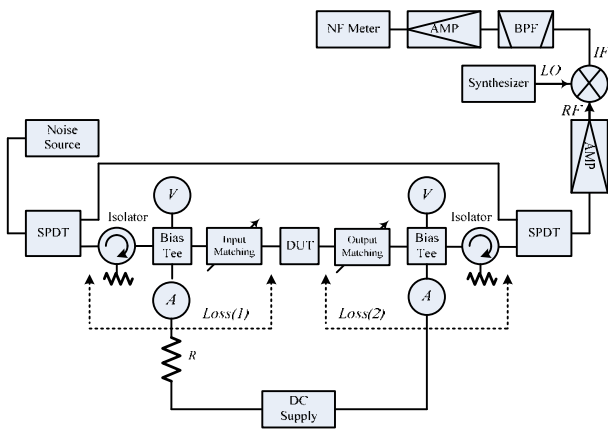


図 21 NF 測定のブロック図

つぎに雑音指数の測定結果を図 22 に示す。図 11 のシミュレーション結果に比べ、若干周波数が低い方にシフトしているがレベル的には良い一致を示している。周波数のズレについてはトランジスタの Gummel Poon Model [5] のモデルパラメータの精度の問題である。

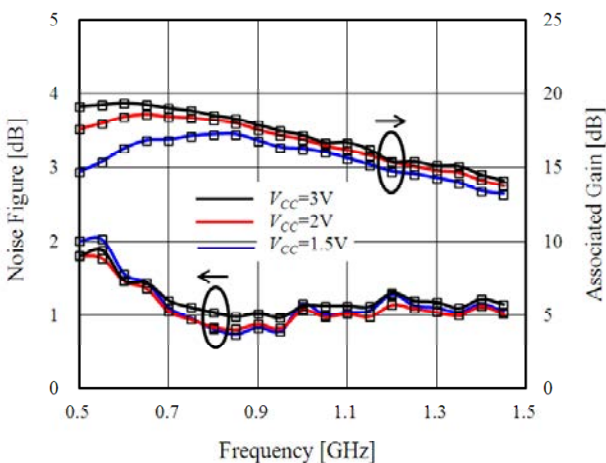


図 22 雑音指数の測定結果

(3) IIP₃ 測定

ひずみ特性を評価する代表的なパラメータとして相互変調ひずみ(IM: Intermodulation Distortion)がある。相互変調ひずみは周波数間隔の狭い 2 波を増幅した場合に生じる出力スペクトラムの広がりを表す。出力スペクトラムの広がり、それぞれの波から発生する高調波が相互にミキシングされるために生じる。最近の移動体や衛星通信機器では多数キャリアや変調信号を増幅した場合に生じる歪み特性が問題になっている。多数キャリアの信号の場合には NPR、 $\pi/4$ -shift QPSK 信号の場合は隣接チャネル漏洩電力がその歪み特性を評価するパラメータとして用いられるが、基本的には相互変調ひずみと同じであり、AM-AM および AM-PM 変換特性が原因になっている。

相互変調ひずみ測定のブロックを図 23 に示す。周波数間隔の狭い 2 波 f_1, f_2 を SSPA で増幅した後 90° 3 dB ハイブリッドで合成し、ステップアッテネータを介して DUT に入力する。ここで信号源 SG_1, SG_2 および増幅器 $SSPA_1, SSPA_2$ は歪みの小さいものを採用する。DUT への入力電力が小さい場合には、ステップアッテネータの後に SSPA を接続するが、この SSPA も低歪みであることが必要である。DUT からの出力信号はスペクトラムアナライザで観測し、式(9)および式(10)より IM_3, IM_5 を計算する。 IM_3 は $2f_1 - f_2$ と $2f_2 - f_1$ の 2 波であり、 f_1 および f_2 に周波数依存性がある場合、 $2f_1 - f_2$ と $2f_2 - f_1$ の信号レベルが同じにならない。この場合は悪い値の方をもって IM_3 の値とする。 IM_5 も同様である。相互変調歪みの測定で重要なことは、測定したい IM のレベルに対して、測定系を構成するコンポーネントがどれだけの低い IM の値を有しているか知ることである。

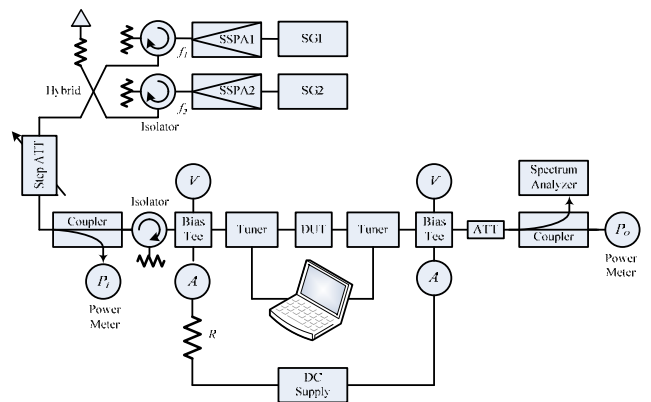


図 23 相互変調ひずみ測定のブロック図

$$IM_3 = P_{f_1} - P_{2f_1-f_2} \quad or \quad P_{f_1} - P_{2f_2-f_1} \quad (9)$$

$$IM_5 = P_{f_1} - P_{3f_1-2f_2} \quad or \quad P_{f_1} - P_{3f_2-2f_1} \quad (10)$$

つぎに IIP_3 の測定であるが、基本的に相互変調ひずみ測定と同じである。周波数間隔の狭い 2 波 f_1 および f_2 を入力し、基本波 f_1 および f_2 および 3 次ひずみ IM_3 を測定する。基本波および 3 次ひずみの線形部分を延長して交わった点の入力電力が IIP_3 である。なお交点の出力電力が OIP_3 である。これを図 24 に示す。

図 24 は IIP_3 の測定結果であり、周波数間隔が 100MHz 離れた 950MHz と 1050MHz の 2 波の信号を入力した。 IIP_3 は基本波 f_1, f_2 の線形部分の延長線と 3 次ひずみ波 $2f_1-f_2, 2f_2-f_1$ の線形部分の延長線との交点の入力電力で定義されるので、図 24 より -6dBm になる。

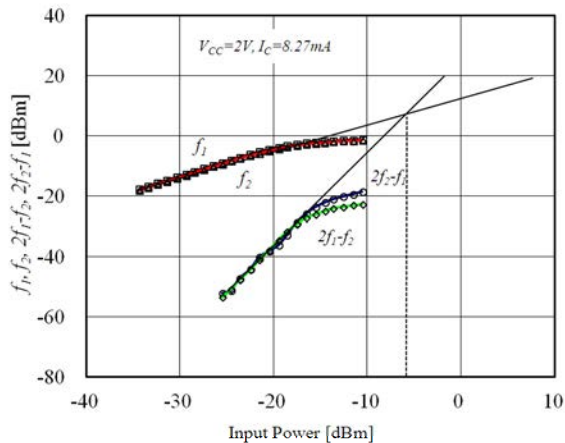


図 24 IIP_3 の測定結果

8. まとめ

シリコントランジスタを用いた低雑音増幅器の設計、試作、評価について述べた。まず代表的なエミッタ接地トランジスタを用いた低雑音増幅器の回路設計のプロセス、つぎにマイクロ波回路シミュレータを用いた回路シミュレーション、基板のレイアウト図の作成方法、実装方法、最後に S パラメータ、雑音指数、相互変調ひずみ特性の測定方法を紹介した。トランジスタとしては f_t が 25GHz の $0.35\mu\text{m}$ SiGe HBT、回路素子は 1005 タイプのチップ部品、回路基板は代表的な FR-4 基板を使用した低雑音増幅器の設計例を紹介した。

文 献

- [1] P.R. グレイ, P.J. フルスト, S.H. レビス, R.G. メイヤー, “システム LSI のためのアナログ集積回路設計技術(上)(下),” 培風館, 2003 年 7 月.
- [2] 別府 俊幸, 福井 康裕, “オペアンプからはじめる電子回路入門”, 森北出版, 2005 年 4 月.
- [3] アナログ・デバイスズ, “OP アンプ大全”, 電子回路技術研究会, CQ 出版社, 2014 年 3 月.
- [4] 伊藤, 康之, 高木 直, “MMIC 技術の基礎と応用”, リアライズ社, 1992 年 4 月.
- [5] 伊藤, 康之, “PCB を用いた RF マイクロ波回路の基礎”, 科学情報出版社, 2013 年 10 月.

著者紹介

伊藤 康之

湘南工科大学工学部, 教授, itoh@elec.shonan-it.ac.jp