

シリコン LSI における内蔵 VCO の最適設計

Optimized Design of Fully Integrated VCO on Si Based Process

伊藤信之

Nobuyuki Itoh

(株)東芝 セミコンダクター社

Semiconductor Company, Toshiba Corporation

〒247-8585 横浜市栄区笠間 2-5-1

2-5-1, Kasama, Sakae-ku, Yokohama, 247-8585, Japan

Tel: +81-45-890-2421, Fax: +81-45-890-2493, nobuyuki3.ito@toshiba.co.jp

要旨

シリコンプロセスにおける内蔵 VCO の位相雑音に対する最適設計について、ゲインセルのトポロジーという観点から考察した。離調周波数の高い領域では CMOS 型 VCO が、キャリア近傍の特性は BiPMOS 型 VCO が優れており、いずれの場合も共振器の設計が最も重要である。また、位相雑音の周波数依存性を少なくする方法の一つとして低発振周波数における発振電力を増大させる方法が有効であることを示した。

Abstract

This paper has described optimized design methodology of fully integrated VCO by several gain-cell topology viewpoints on phase noise using Si based process. Due to many candidates, CMOS VCO was suitable at offset frequency of far from carrier; BiPMOS VCO was suitable at that of vicinity of carrier. Also to improve phase noise dependence on oscillation frequency of fully integrated VCO, it was shown the oscillation amplitude increasing in lower oscillation frequency was one of the effective methods.

1. はじめに

近年、携帯端末などの軽薄短小化にともない集積回路の高集積化がすすんでいる[1]。従来集積回路の高集積化は、CMOS 技術を用いたメモリー、論理回路において顕著であったが、近年、高周波集積回路の分野にも高集積化の要求は高まってきている。

高周波集積回路はさまざまな機能からなりたっている。高周波の小信号を扱う低雑音増幅器 (LNA、Low Noise Amplifier) 周波数変換をおこなうミキサー (MIX、Mixer) 多様な利得制御などを行う必要のある中間周波数増幅器 (IF-AMP、IF amplifier) MIX に局部発振信号を供給する電圧制御発振器 (VCO、Voltage Controlled Oscillator) と PLL (Phase Locked Loop)

よりなる局部発振器 (LO、Local Oscillator) などである。近年、これらの回路中で特に集積化が困難とされていた、また、シリコン (Si) プロセスでは、良好な特性を得ることが困難とされてきた高周波信号を直接取り扱う回路ブロック、LNA、MIX、VCO などが、Si プロセス上で 1 チップ化されてきている。

VCO は Si 上で実現する、また、1 チップに集積化することが困難とされてきた回路のひとつであり、近年集積化が必須となっている回路ブロックのひとつでもある。その背景には、Si 上の素子の周波数特性が微細化にともない向上してきたこともあるが、Si 上でコイル、バリキャップなどの VCO に必須な受動素子が研究・開発されてきたことにもよる[2]。

本報告ではこのような背景をもとに、Si 集積回路における内蔵 VCO の最適設計に関する手法についてまとめた。

2. 内蔵 VCO に要求される特性

内蔵 VCO に要求されるおもな特性には以下の 5 点がある。

- (1).位相雑音特性
- (2).チューニングレンジ
- (3).プリング
- (4).プッシング
- (5).負荷変動

本論文ではおもに VCO 単体の設計に着目し、なかでも VCO の最も重要な特性である、(1).位相雑音特性の最適化に焦点を絞る。消費電流については、ほぼ特性とトレードオフの関係になるため、低消費電力において各特性を満たすことが必要である。

2-1. 位相雑音特性の影響

位相雑音特性は VCO の最も重要な特性であり、既に多くの文献などに記述されているように、トランシーバの性能を左右する特性のひとつである。

スーパーヘテロダイン受信器の LO として用いた例を簡単に図 1 に示す。図 1(a)は理想的な、位相雑音が全く無い LO の場合であり、図 1(b)は現実的な位相雑音のある LO の場合である。一般にアンテナから入力する電波は希望波 (D) の他に多くの不要波 (UDn) がある。

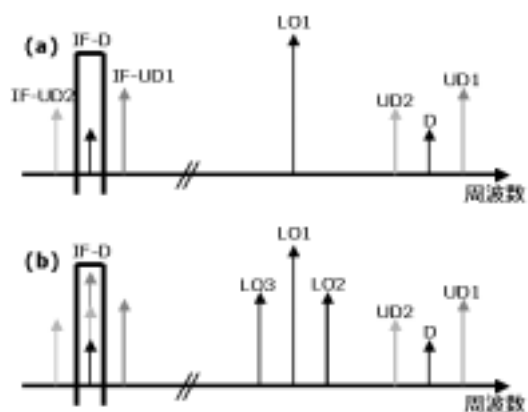


図 1 理想的な LO 信号をもつ受信器(a)と現実的な受信器(b)

図 1(a)のように理想的な LO を用いた場合は、D と LO との間で周波数変換がおこなわれることにより、希望の中間周波数 (IF) 信号を生成することができる (IF-D)。もちろん、理想的な LO を用いた場合でも不要波と LO との間で生成された不要な IF 信号 (IF-UDn) は存在するが、通常は IF 回路に挿入されたフィルタによってこれらの信号は除去されるため、希望の IF 信号のみを得ることができる。

一方、LO 信号に位相雑音成分が含まれる (図 1(b)の LO_n) と、入力された不要波 (UD_n) と位相雑音成分の間で周波数変換がおこなわれ、結果として希望の IF 信号と全く同じ周波数に不要波信号が変換されることとなる。この場合、どのようなフィルタを用いても不要波を除去することは不可能となり、したがって受信器は混信をおこすこととなる。

同様に、送信器においては位相雑音成分によってキャリア周波数に変換された不要信号がアンテナから放出する不要放出の一因となる。

以上述べたように、位相雑音は受信器および送信器の性能を大きく左右する特性である。

2-2. チューニングレンジ

無線規格には、その無線に与えられている周波数範囲があり、無線器としてはその規格の全ての周波数領域をカバーする必要がある。表 1 に幾つかの代表的な無線システムの周波数範囲をしめす。

表 1 代表的な無線システムと周波数可変範囲

無線規格	周波数範囲 RX/TX	チューニング レンジ[%]
PDC (800MHz)	810-826/940-956	1.96/1.69
PHS	1895-1918	1.21
GSM	925-960/880-915	3.71/3.90
DECT	1880-1900	1.06
WCDMA	2110-2170/1920-1980	2.80/3.08
Bluetooth	2400-2497	3.96
5GHzWLAN(US,EU)	5.15 ~ 5.35GHz	3.81

無線に用いられる周波数範囲はたかだか、数% レベルであるが、半導体集積回路に内蔵する VCO は、そのばらつきを含んだ上でチューニングレンジを満たさなければならない。VCO の発振周波数に影響を与える因子としては、(1)プロセスのばらつき、(2)温度特性によるデバイスパラメータのばらつき、が考えられ、それらのばらつきを含めて全ての状態で発振周波数範囲がチューニングレンジを満足している必要がある。それらのバラツキが例えば +/-10% であると仮定すると、発振周波数も 10%ばらつく可能性があり、VCO のチューニングレンジはシステムの要求するチューニングレンジより、 +/-10%大きく設計しなければならない。

2-3. プッシング、プリング、負荷変動

プッシングとは VCO の電源電圧が過渡的に変動したときにおこる発振周波数の変動である。特に送受信切り替え時に、PA 等の電力消費の大きい回路の ON/OFF にともなって起こることが多く、後述する負荷変動との切り分けが難しい。

プリングとは、VCO 発振周波数近傍の大きな妨害信号がなんらかの形で VCO に作用してお

こる VCO の周波数遷移である。

負荷変動とは、特に送受信切り替え時などに VCO の負荷が変化して見えることに起因する発振周波数変動である。

これらのことは集積回路として非常に重要であるが、本論文ではより基礎的な位相雑音の最適設計について、以下述べていく。

3. 位相雑音特性

3-1. 位相雑音の一般式

発振器の位相雑音は、よく知られているように(1)式にしめす Lesson の式によりあきらかである[3]。

$$L(\omega_m) = \frac{2kT \cdot F}{P_{osc}} \left[1 + \left(\frac{1}{2Q} \cdot \frac{\omega_{osc}}{\omega_m} \right)^2 \right] \left(1 + \frac{\omega_c}{\omega_m} \right) \quad (1)$$

ここで、k はボルツマン定数、T は絶対温度、F は発振器を構成するゲインセルの雑音指数、 P_{osc} は発振電力、Q は共振器の Q 値、 ω_{osc} は発振周波数、 ω_m は位相雑音を観測するキャリアからの離調周波数、 ω_{osc} は系全体のフリッカ雑音と熱雑音のコーナー周波数である。発振周波数が高いほど位相雑音は悪化し、離調周波数が低いほど位相雑音は悪化する。また、発振電力が小さいほど位相雑音は悪化する。

(1)式はコイルの Q ((2)式) 共振器の負性抵抗 ((3)式) ゲインセルの雑音指数 ((4)式) を用いて(5)式のようにあらわされる

$$Q = \frac{\omega L_{ind}}{R_s} \quad (2)$$

$$R_{neg} = \frac{(\omega L_{ind})^2}{R_s} = R_s Q^2 \quad (3)$$

$$F = (1 + A) R_{neg} \quad (4)$$

$$L(\omega_m) \approx \frac{2kT \cdot R_s \cdot (1 + A)}{V_{osc}^2} \left(\frac{\omega_{osc}}{\omega_m} \right)^2 \left(1 + \frac{\omega_c}{\omega_m} \right) \quad (5)$$

(5)式から明らかなように、低位相雑音を得るには R_s/V_{osc}^2 を小さくすることが必要である

3-2. コイルの設計

(1)式から低位相雑音 VCO を実現するための一つの重要な方法は、共振器の Q 値を向上させ

ることである。共振器の Q 値は用いられるコイルとバリキャップの Q により決定されるが、内蔵コイルを用いた共振器の場合、一般にバリキャップの Q はコイルの Q に対して非常に大きい。ため、共振器の Q は、ほぼコイルの Q によって決定されると考えられる。図 2 にしめすような等価回路を考えた場合、コイルの損失は抵抗分損失と容量分損失とに分別することができ、それぞれ Q_r 、 Q_c として (6)、(7) 式のように示すことができる[4]。

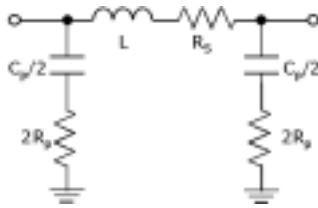


図 2 コイルの等価回路

$$Q_r = \frac{\omega L_{ind}}{R_s} \quad (6)$$

$$Q_c = \frac{1}{\omega^2 L_{ind} C_p} \quad (7)$$

また、自己共振周波数 ω_{sr} とそのときの Q_{sr} は(8)、(9)式のように示される。

$$\omega_{sr} = 3 \sqrt{\frac{R_s}{L_{ind}^2 C_p}} \quad (8)$$

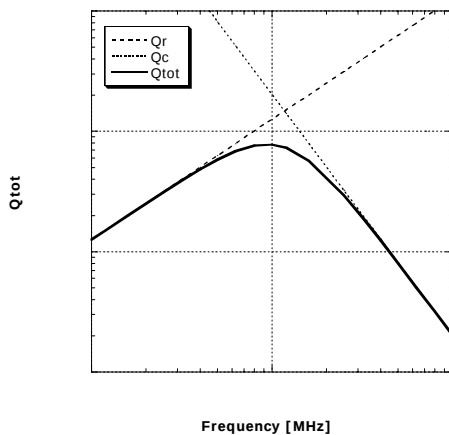


図 3 コイルの Q の周波数依存性

$$Q_{sr} = 3 \sqrt{\frac{L_{ind}}{R_s^2 C_p}} \quad (9)$$

れらを図示すると図 3 のようになる。

以上の計算結果より、コイルの Q を高くするには、(a)シリーズ抵抗を低下させる、(b)寄生容量を小さくする、ことが必要である。さらに基板を流れる渦電流を低下させるためには(c)基板の抵抗を大きくする、ことも重要となる。

図 4 にシリーズ抵抗を変えた（配線の膜厚を変えた）場合の実験値、寄生容量を変えた（3 層配線と 5 層配線）場合の実験値、基板抵抗を変えたときの実験値を示した。

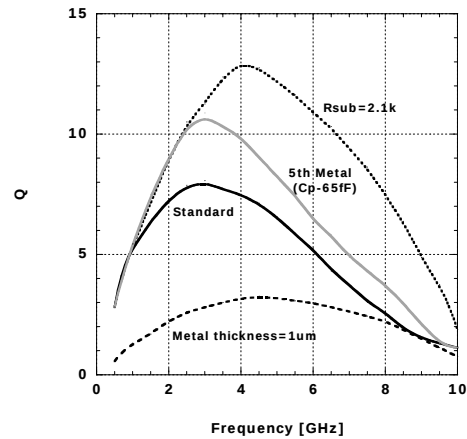


図 4 コイルのパラメータを変化させた実験値(Standard 条件:3um 厚、3 層目配線層、基板抵抗 700Ω)

3-3. 差動 VCO のトポロジー

シリコンの CMOS/BiCMOS プロセスを用いた VCO について考える場合、共振器の設計が最も特性に寄与することとなるが、ゲインセルのトポロジーもまた特性に大きく寄与する。本章では、シリコン系の CMOS/BiCMOS プロセスを用いたときの差動型ゲインセルのトポロジーを考える。CMOS/BiCMOS で全てのトポロジーを考えることとなると、その種類は 128 通り程度になってしまうため、本研究では(1)制御電圧に対して発振周波数は正の相関を示す、(2)pnp トランジスタは一般に周波数特性が悪い

ため考慮しない、(3)電流源は PMOS で構成する、ことを前提とした。これらの前提条件により、本論文では図 5 の五つのトポロジーツき考察する。

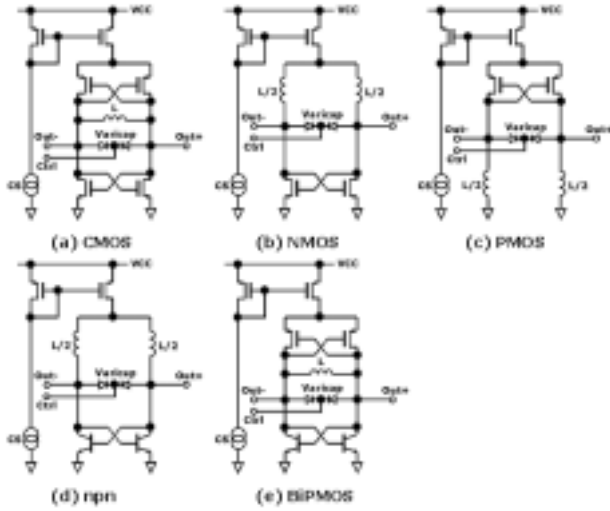


図 5 VCO のトポロジーツ

図 5(a)は CMOS、(b)は NMOS、(c)は PMOS、(d)は npn、(e)は BiPMOS トポロジーツである。実際の無線機への応用を考えた場合、位相雑音特性は仕様を満たすことが大前提である。したがって、トポロジーツを考えるに当たって重要なことは、位相雑音の仕様を満たしたうえでの各トポロジーツの消費電力を比較することとなる。

3-4. 離調周波数が高い場合のゲインセルのトポロジーツ

一般に電流に対する g_m 比は MOSFET に比べてバイポーラトランジスタの方が大きい。内蔵 VCO のゲインセルにおいても、これらのトポロジーツの差が顕在化するであろうか？ここでは、図 5 における(a)CMOS 型と(d)nnpn 型の二種類のトポロジーツで試作した 500MHz 帯 VCO の比較を行った[5]。

離調周波数が高い場合 ($\omega_m \gg \omega_c$) (5)式は(10)式のように簡略化できる。

$$L(\omega_m) \approx \frac{2kT \cdot R_s \cdot (1+A)}{V_{osc}^2} \left(\frac{\omega_{osc}}{\omega_m} \right)^2 \quad (10)$$

ゲインセルを構成するトランジスタの g_m と

負性抵抗の間には以下の関係式がなりたつ。

$$g_m = 2A \cdot g_{neg} = 2A \frac{R_s}{(\omega L_{ind})^2} \quad (11)$$

また、バイポーラトランジスタの g_m/I_c と MOSFET の g_m/I_d を比較すると(12)、(13)式のようにになる。

$$\frac{g_m}{I_c} = \frac{1}{V_T} \approx 39 \quad (12)$$

$$\frac{g_m}{I_d} = \frac{2}{V_{gs} - V_{th}} \approx 8 \quad (13)$$

($V_{gs} - V_{th} = 250mV$)

(12)、(13)式より、同じ g_m を得るための消費電流はバイポーラトランジスタの方が約 5 倍優れている。このため、npn 型の VCO の方が CMOS 型より低消費電力で実現可能と思われる。

ところが、素子の線形性の差異により npn 型に比較して CMOS 型は約 2 倍の発振振幅を得られる。つまり同じ R_s/V_{osc}^2 を得る (=同じ位相雑音を得る) には、CMOS 型の R_s を npn 型の 4 倍とすることができる。内蔵スパイラルコイルにおいては、ある限定された面積下でコイルを考えるとインダクタンスと寄生抵抗はほぼ比例することから、CMOS 型の R_s を npn 型のその 4 倍とすることができる、ということは CMOS 型のインダクタンスを npn 型の 4 倍とすることができる、ということである。LC 共振器をもつ VCO において、低消費電流を実現するためには、LC の L 分を出来るだけ大きくすることが重要である。

ここで、内蔵コイルのインダクタンスと寄生抵抗の関係を定数 K を用いてあらわすと(14)式のようにになる。

$$L_{ind} \approx K \cdot R_s \quad (14)$$

(11)式(14)式より(15)式がなりたつ。

$$g_m = 2A \frac{R_s}{(\omega K R_s)^2} = \frac{2A}{(\omega K)^2} \cdot \frac{1}{R_s} \quad (15)$$

A、 ω 、K は定数であるため、npn トランジスタに要求される g_m と CMOS に要求される g_m の比は(16)式のように書くことができる。

$$\frac{g_{m,npn}}{g_{m,CMOS}} = \frac{R_{s,CMOS}}{R_{s,npn}} = 4 \quad (16)$$

ここで、 $g_{m,CMOS} = g_{m,NMOS} + g_{m,PMOS} = 2g_{m,NMOS} = g_{m,PMOS}$ であることから、(16)式は(17)式のように書き換えられる。

$$\frac{g_{m,npn}}{g_{m,NMOS}} = \frac{g_{m,npn}}{g_{m,PMOS}} = 8 \quad (17)$$

一方、(12)、(13)式より、 g_m/I の比は、(18)式のように関係づけられ、また、(17)、(18)式より npn 型と CMOS 型の消費電流の比は(19)式のように見積もることができる。

$$\frac{\frac{g_{m,npn}}{I_c}}{\frac{g_{m,NMOS}}{I_d}} = \frac{39}{8} \quad (18)$$

$$\frac{I_d}{I_c} = \frac{g_{m,NMOS}}{g_{m,npn}} \times \frac{39}{8} = \frac{1}{8} \times \frac{39}{8} = \frac{39}{64} \approx 61\% \quad (19)$$

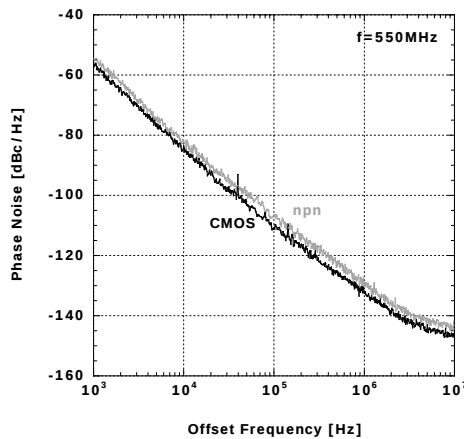


図6 npn 型 VCO と CMOS 型 VCO の位相雑音

したがって CMOS 型の消費電流は npn 型の約 61%程度と考えられる。これらの検証をおこなうために試作した VCO の結果を以下に示す。

図 6 に位相雑音の離調周波数に対する特性しめした。若干 CMOS 型の方が低位相雑音であるが、ほぼ同じ特性を得ることができた。表 2 にこれらの測定結果をまとめた。

表 2 npn 型と CMOS 型の 500MHzVCO の諸特性

	npn 型	CMOS 型
発振周波数[MHz]	343-589	445-609
チューニングレンジ	31.6%	31.4%
位相雑音 600kHz [dBc/Hz]	-124.8	-131.6
3MHz	-139.2	-141.6
消費電流[mA]	5.9	3.9

ここで、npn 型の消費電流が 5.9mA、CMOS 型の消費電流が 3.9mA となり、CMOS 型の消費電流は npn 型の約 66%となった。この結果は、(10)～(19)式で検討した結果を良く反映した結果となった。

3-5. 離調周波数が低い場合のゲインセルのトポロジ

バイポーラトランジスタのフリッカ雑音は CMOS のフリッカ雑音より低いことは良く知られている。そこで、図 5 における(a)CMOS 型と (e)BiPMOS 型の二種類のトポロジで試作した 1200MHz 帯 VCO の比較を行うことにより離調周波数が低い領域での位相雑音特性の違いを検討した。

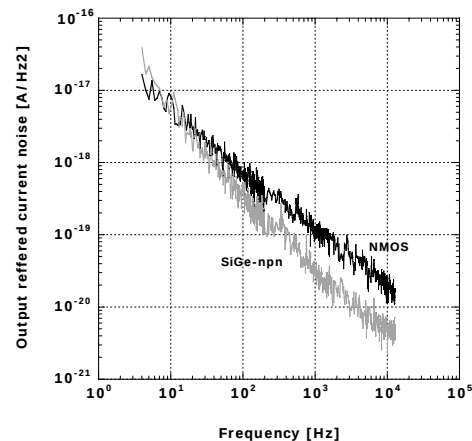


図 7 NMOS と npn トランジスタのフリッカ雑音

離調周波数が低い場合、(1)式、もしくは(5)式でわかるように、共振器の熱雑音だけではなく、素子のフリッカ雑音が位相雑音特性に大きな影響を与える。一般に素子のフリッカ雑音は

MOSFET の方がバイポーラトランジスタよりも大きいことが知られている。本研究で用いたプロセスにおけるフリッカ雑音も例外ではない。

図7にNMOSとnpnトランジスタのフリッカ雑音の違いを示す。NMOSのフリッカ雑音はSiGeトランジスタに比べて約9dB程度大きい、つまりコーナー周波数として約8倍NMOSの方が大きいことがわかる。(5)式より、CMOS型とBiPMOS型の位相雑音の比は、(20)式のようにあらわせる。

$$\begin{aligned} \frac{L_{CMOS}(\omega_m)}{L_{BiPMOS}(\omega_m)} &\approx \frac{\frac{2kT \cdot R_{s,CMOS} \cdot (1+A)}{V_{osc,CMOS}^2} \left(\frac{\omega_{osc}}{\omega_m} \right)^2 \left(1 + \frac{\omega_{c,CMOS}}{\omega_m} \right)}{\frac{2kT \cdot R_{s,BiPMOS} \cdot (1+A)}{V_{osc,BiPMOS}^2} \left(\frac{\omega_{osc}}{\omega_m} \right)^2 \left(1 + \frac{\omega_{c,BiPMOS}}{\omega_m} \right)} \\ &= \frac{\frac{R_{s,CMOS}}{V_{osc,CMOS}^2} (\omega_m + \omega_{c,CMOS})}{\frac{R_{s,BiPMOS}}{V_{osc,BiPMOS}^2} (\omega_m + \omega_{c,BiPMOS})} \end{aligned} \quad (20)$$

ここで、3-4章の検討により $V_{osc,CMOS}/V_{osc,BiPMOS} = 2$ 、図8より $\omega_{c,NMOS}/\omega_{c,npn} = \omega_{c,CMOS}/\omega_{c,BiPMOS} = 8$ 、となり、 $\omega_m = \omega_{c,BiPMOS}$ と仮定すると、(20)式は(21)式のように考えられる。

$$\frac{L_{CMOS}(\omega_m)}{L_{BiPMOS}(\omega_m)} \approx \frac{\frac{R_{s,CMOS}}{4} (1+8) \omega_{c,BiPMOS}}{\frac{R_{s,BiPMOS}}{1} (1+1) \omega_{c,BiPMOS}} = \frac{9R_{s,CMOS}}{8R_{s,BiPMOS}} = 1 \quad (21)$$

(16)、(17)、(19)式より、 R_s と消費電流の関係を一般化すると(22)式のように書くことができる。

$$\frac{I_d}{I_c} = \frac{g_{m,NMOS}}{g_{m,npn}} \times \frac{39}{8} = \frac{R_{s,BiPMOS}}{2R_{s,CMOS}} \times \frac{39}{8} \quad (22)$$

(21)、(22)式より、電流比は(23)式のようにあらわせる。

$$\frac{I_d}{I_c} = \frac{R_{s,BiPMOS}}{2R_{s,CMOS}} \times \frac{39}{8} = \frac{9}{16} \times \frac{39}{8} = 2.74 \quad (23)$$

以上の検討結果より、低離調周波数のVCOについてはCMOS型の方がBiPMOS型より約2.7倍大きな消費電流が必要であること計算された。

実験により得られたCMOS型とBiPMOS型

の位相雑音を図8に示した。

図8より、熱雑音が支配的である1MHz離調ではBiPMOS型が-124.0dBc/Hz、CMOS型が-130.4dBc/HzとCMOS型VCOの方が優れた特性をしめすが、キャリア近傍の10kHz離調の領域ではBiPMOS型が-80.3dBc/Hzであるのに対しCMOS型は-78.3dBc/HzとBiPMOS型の方が優れた特性を示すこととなった。一方、消費電流はBiPMOS型が2.5mAであるのに対し、CMOS型は5.8mAと約2.3倍程度CMOS型の消費電流が大きかった。これは計算により見積もられた2.7倍とほぼ良い一致をしめしている。以上の結果を表3にまとめた。

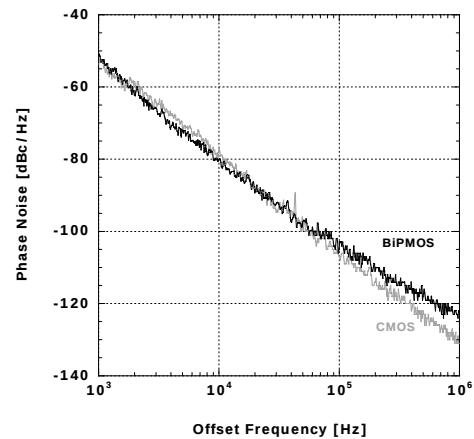


図8 BiPMOS型VCOとCMOS型VCOの位相雑音

表3 BiPMOS型とCMOS型の1200MHzVCOの諸特性

	BiPMOS 型	CMOS 型
発振周波数[MHz]	1067-1363	1022-1323
チューニングレンジ	24.4%	25.6%
位相雑音	10kHz [dBc/Hz]	-80.3 -78.3
	1MHz	-124.0 -130.4
消費電流[mA]	2.5	5.8

3-6. 外付けコイルを用いたVCOの特性

3-2章に示したように、コイルのQはVCOの位相雑音に対して非常に大きく影響する。しかし、集積回路の配線を用いて作る内蔵スパイラ

ルコイルの Q は 1GHz において $Q=5 \sim 10$ 程度が限度である。一方、基板上に配線できるチップインダクタは $Q=30$ 程度を容易に得ることができる。そこで実際にオフチップのコイルを共振器として用いた場合、どのような特性になるかを実験した。ゲインセルのトポロジは図 5(c) の PMOS 型である。

450MHz 帯の外付けコイルを用いた VCO を試作し、その周波数範囲と位相雑音を評価した。図 9 に位相雑音特性をしめした。外付けコイルを用いた VCO は共振器の一部をチップの外に出すために、パッケージの寄生容量、寄生インダクタンスの影響が大きく、チューニングレンジは約 11%と内蔵 VCO と比較して低いが、位相雑音特性は 3-4 章にしめした、ほぼ同じ周波数帯で発振する内蔵 VCO に比べて 15 ~ 20dB 程度良好な特性をえることができた。

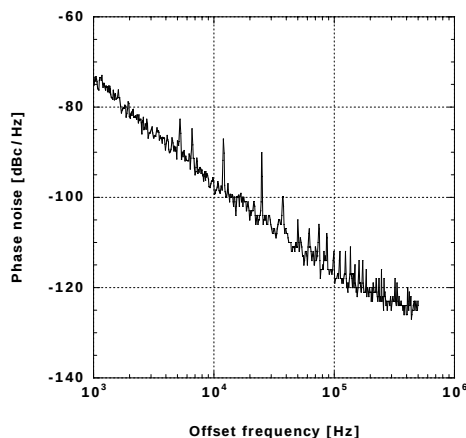


図 9 外付けコイルを用いた VCO の位相雑音

しかし前述したように、外付けコイルを用いた VCO はパッケージの寄生容量、寄生インダクタンスの影響が大きいため、高い周波数の VCO を実現するのは非常に難しく、パッケージおよび基板の詳細なモデリングが必要となる。なお、本 VCO の消費電流は 3.2mA であった。

3-7. 位相雑音の周波数依存性

VCO の位相雑音は制御電圧によって、つまり

発振周波数によって変動する。これは、発振周波数が変化することによって、共振器の負性抵抗値が変化するにもかかわらず、通常、ゲインセルの電流は定電流源によって一定に保っていることによっておこる。

発振周波数が低い場合 LC 共振器の容量成分が大きくなり、一定電流で動作させている VCO の発振振幅は相対的に小さくなる。つまり、(1)式における P_{osc} 部分が小さくなり位相雑音は増大する。一方、発振周波数が高くなると、LC 共振器の容量成分が小さくなり、一定電流で動作させている VCO の発振振幅は相対的に大きくなり、ついには非線形性により発振波形は歪む。この非線形性により、電流源のコモンモードでは二倍の高調波 $2\omega_{osc}$ が生成する[6]。VCO の電流源はもともと、フリッカ雑音、電流雑音を含んでいるが、その雑音成分は、コモンモードにおいて高調波 $2\omega_{osc}$ にアップコンバートされ、共振器内で発振周波数 ω_{osc} と混合され、発振周波数近傍に位相雑音として重畳する。図 10 に位相雑音の周波数依存性の概念図をしめした。

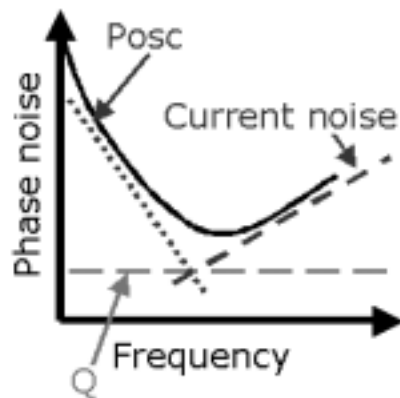


図 10 位相雑音の周波数依存性

このように、VCO の位相雑音は発振電力、共振器の Q 、電流雑音により制限される。現実的に VCO を設計する場合、これらの三状態を考慮することとなるが、周波数範囲に対してよりフラットな特性が望まれることは言うまでもない。したがって、低い周波数における発振電力を向上させるか、高い周波数における非線形性

を抑える、もしくはコモンノードにおける $2\omega_{osc}$ 成分を抑える、などの方法が考えられる。高い発振周波数における高調波歪みを除去する方法はコモンノードに LC フィルタを挿入する方法が提案されている[7]が、大きい面積を要するコイルなどを用いるため、チップ面積を増大する結果となる場合が多く、現実的な製品としては経済性に問題がある。そこで、より低い発振周波数における発振電力の低下を抑えるために、制御電圧が低い場合、ゲインセルに流す電流を増大させる回路を考案した[8]。そのひとつがターボ回路である。図 11 にターボ回路の回路図をしめす。

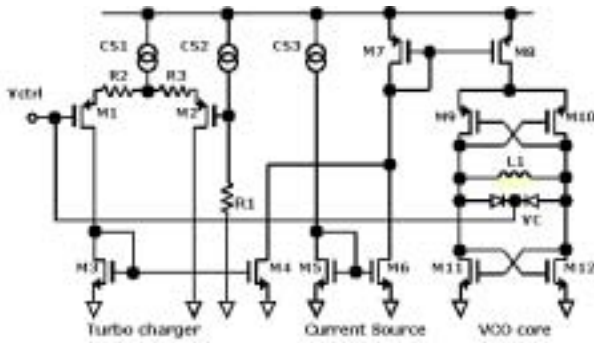


図 11 ターボ回路

ターボ回路は電流源として通常の一定電流源をもつとともに、制御電圧によって可変可能なターボ電流源を持っている。比較的制御電圧の高い場合（発振周波数が高い場合）ターボ回路は動作せず、通常の VCO と同様に動作するが、発振周波数の低い場合、ターボ回路により VCO に流す電流を増大させ、発振振幅を増大させる働きをもつ。

図 12 にターボ回路を導入した場合の位相雑音特性の制御電圧依存性をしめした。

- がターボ回路の位相雑音の測定値、実線がシミュレーション値、点線がターボ回路を用いない場合のシミュレーション値である。ターボ回路が比較的発振周波数の低い領域で、有効に動作しており、広い周波数範囲に渡って低い位相雑音を実現できていることがわかる。

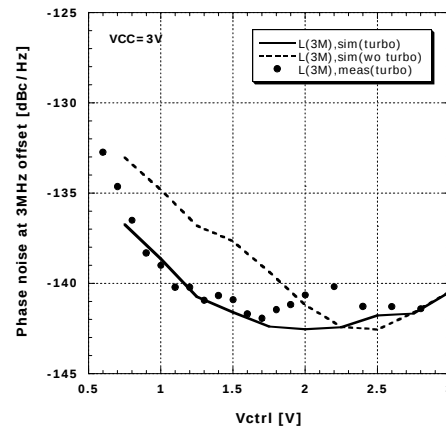


図 12 ターボ回路における位相雑音の周波数特性

4. VCO の FOM

(1)式より VCO の位相雑音（の熱雑音部分）は、発振周波数、離調周波数によって決定される。また、位相雑音と消費電力（電流）がトレードオフであることも広く知られている[9]。現在の携帯機器のシステムでは、電源電圧が 3V とされているものが多く、客観的な相互評価をおこなうには、電力よりも電流で規格化したほうが妥当と思われる。したがって、VCO の評価基準（F.O.M. Figure of Merit）は、(23)式に示される。

$$FOM(Current) = \frac{L(\omega_m)}{I} \left(\frac{\omega_m}{\omega_{osc}} \right)^2 \quad (23)$$

図 13 に 1999 年以降に学会において発表された VCO の FOM (Current) をプロットした。図中の●は本論文にて紹介した VCO のデータである。(23)式で定義された FOM は熱雑音部分しか表しておらず、低離調周波数部分の位相雑音を表現できないとはいえ、VCO の性能を一義的に比較するには有用なものである。

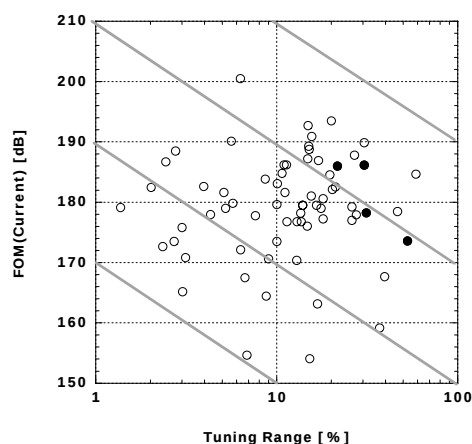


図 13 学会誌等に報告されている VCO の FOM

5. まとめ

シリコンプロセスにおける内蔵 VCO の位相雑音に対する最適設計について、ゲインセルのトポロジーという観点から比較検討をおこなった。

離調周波数の高い領域の位相雑音特性は CMOS 型の VCO が優れており、nnp 型と比較して、消費電流を約 2/3 にすることができた。

離調周波数の低いキャリア近傍の位相雑音特性は CMOS 型よりも BiPMOS 型 VCO が優れており、消費電流を約 2/5 にすることができた。

いずれの場合も共振器の設計が最も重要であり、要求される離調周波数によってはフリッカ雑音を十分に考慮する必要がある。また、位相雑音の周波数依存性を少なくする方法として低い発振周波数における発振電力を増大させる方法が有効であることを示した。

参考文献

[1] M.Steyaert, et al., "A 2 Volt CMOS Cellular Transceiver Front-End," The 2000 IEEE International Solid-State Circuits Conference

(ISSCC00), San Francisco, February 2000.

[2] J. Crols, et al., "An Analytical Model of Planner Inductors on Lowly Doped Silicon Substrates for High Frequency Analog Design up to 3 GHz," Proc. The technical Digest of IEEE VLSI Circuit Symposium, June, 1996.

[3] D. B. Lesson, "A simple model of feedback oscillator noise spectrum," Proc. IEEE, vol. 54, pp329-330, February, 1966.

[4] N.Itoh, "Low Power, Low Phase Noise Integrated RF-VCO on Silicon Process," 2002 Asia-Pacific Microwave Conference Workshop Digest, pp19-28, Kyoto, Japan, Nov. 2002.

[5] N.Itoh, et al., "Integrated LC-tuned VCO in BiCMOS process," Proc. of the 27th 2001 European Solid-State Circuits Conference (ESSCIRC2001), Villach, Austria, pp.344-347, September,2001

[6] B. DeMuer, et al., "A 2-GHz Low-Phase-Noise Integrated LC-VCO Set with Flicker Noise Upconversion Minimization," IEEE Journal of Solid-State Circuits, vol. 35, No. 7, pp.1034-1038, July, 2000.

[7] E. Hegazi, et al., "A Filtering Technique to Lower LC Oscillator Phase Noise," IEEE Journal of Solid-State Circuits, vol. 36, No. 12, pp.1921-1930, December, 2001.

[8] N.Itoh, et al., "1200-MHz Fully Integrated VCO with "Turbo-Charger" Technique," IEICE Transaction of Electronics, vol. E85-C, No.8, pp.1569-1576, August, 2002.

[9] 黒田忠広 監訳「RF マイクロエレクトロニクス」丸善出版、ISBN4-621-07005-3